

STANDBY CHARGE AND DISCHARGE CIRCUIT AND DRIVE CIRCUIT

Patent number: JP2002055659
 Publication date: 2002-02-20
 Inventor: TSUCHI HIROSHI
 Applicant: NEC CORP

Classification:
 - international: G09G3/36; G02F1/133; G09G3/20
 - european:
 Application number: JP20000243162 20000810
 Priority number(s):

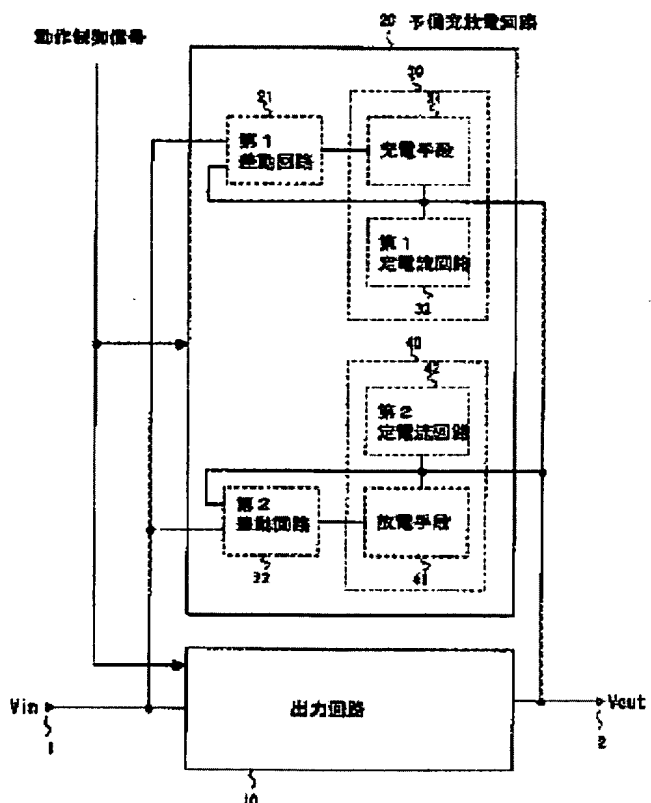
Also published as:

EP1189191 (A2)
 US6567327 (B2)
 US2002021606 (A)
 EP1189191 (A3)

Abstract of JP2002055659

PROBLEM TO BE SOLVED: To provide a drive circuit, in which unnecessary charging and discharging power associated with standby charging and discharging operations and reduction in a drive speed are sufficiently reduced, an idling current is fully suppressed to a low level and which drivers a capacitive load connected to its output terminal speedily to the vicinity of a desired voltage.

SOLUTION: The drive circuit consists of a first output stage which includes a charging means and a first constant current circuit; a second output stage which includes a discharging means and a second constant current circuit; a standby charging and discharging circuit, which is constituted of first and second differential circuits and has no phase compensating means; and an output circuit which



outputs a desired voltage and operation control signals, which control the standby charging and discharging circuit and the output circuit. In this drive circuit, during the front half of an output interval in which a desired voltage is outputted, at least the standby charging and discharging circuit is operated and during the latter half of the output interval, only the output circuit is made to operate.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-55659
(P2002-55659A)

(43) 公開日 平成14年2月20日 (2002. 2. 20)

(51) Int.Cl.⁷

識別記号

F I

テーマト* (参考)

G 0 9 G 3/36

G 0 9 G 3/36

2 H 0 9 3

G 0 2 F 1/133

5 7 0

G 0 2 F 1/133

5 7 0

5 C 0 0 6

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 A

5 C 0 8 0

6 2 1

6 2 1 F

6 2 3

6 2 3 B

審査請求 未請求 請求項の数25 O L (全 44 頁)

(21) 出願番号

特願2000-243162 (P2000-243162)

(22) 出願日

平成12年8月10日 (2000. 8. 10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 土 弘

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

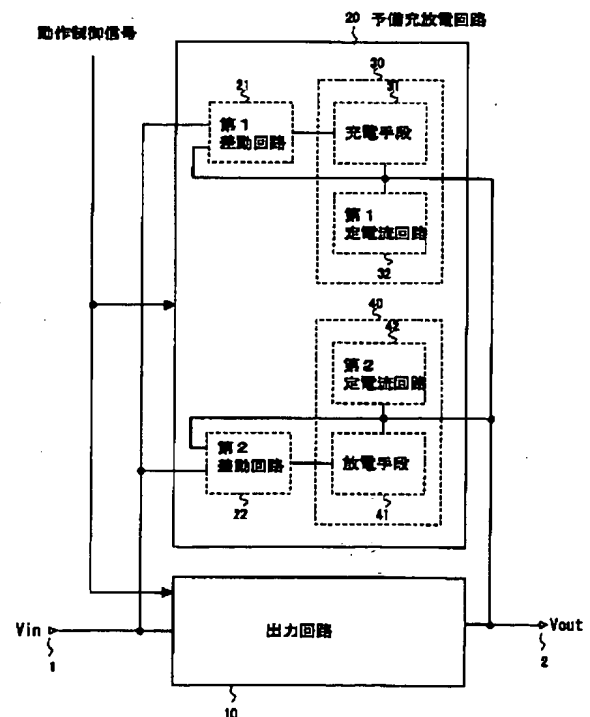
最終頁に続く

(54) 【発明の名称】 予備充放電回路及び駆動回路

(57) 【要約】

【課題】 予備充放電に伴う余計な充放電電力や駆動速度の低下を十分小さく抑え、アイドリング電流を小さく抑えつつ、出力端子に接続された容量性負荷を所望の電圧付近まで高速に駆動する駆動回路の提供。

【解決手段】 充電手段と第1定電流回路を含む第1出力段と、放電手段と第2定電流回路を含む第2出力段と、第1および第2差動回路とで構成した位相補償手段をもたない予備充放電回路と、所望の電圧を出力する出力回路と、予備充放電回路および出力回路を制御する動作制御信号とで成る駆動回路において、所望の電圧を出力する出力期間の前半に少なくとも予備充放電回路は動作させ、出力期間の後半は出力回路だけを動作させる。



1

【特許請求の範囲】

【請求項 1】放電作用を有する第 1 定電流回路と充電手段とを含む第 1 出力段と、
充電作用を有する第 2 定電流回路と放電手段とを含む第 2 出力段と、
前記第 1 出力段または前記第 2 出力段に作用を与える差動回路を少なくとも 1 つ含み、
前記第 1 出力段および前記第 2 出力段および前記差動回路をそれぞれ個別に制御する動作制御信号を含むことを特徴とする予備充放電回路。

【請求項 2】前記第 1 出力段および前記第 2 出力段および前記差動回路は、それぞれ内部に流れる電流を遮断する複数のスイッチを含み、
前記動作制御信号による前記複数のスイッチの制御により、前記第 1 出力段および前記第 2 出力段および前記差動回路の制御が行われることを特徴とする請求項 1 に記載の予備充放電回路。

【請求項 3】前記差動回路は、前記予備充放電回路に入力される 2 つの電圧の電圧差に応じて動作し、前記 2 つの電圧の一方が前記予備充放電回路から出力される電圧であることを特徴とする請求項 1 に記載の予備充放電回路。

【請求項 4】前記差動回路は、定電流回路を少なくとも 1 つ含み、前記定電流回路により前記差動回路内部に流れる電流が全て制御される、ことを特徴とする請求項 1 に記載の予備充放電回路。

【請求項 5】前記第 1 出力段および前記第 2 出力段は、前記動作制御信号により少なくともどちらか一方が動作している間は、他方は非動作とされることを特徴とする請求項 1 に記載の予備充放電回路。

【請求項 6】前記予備充放電回路を動作させる予備充放電期間において、前記予備充放電期間の前半に少なくとも前記第 1 出力段または前記第 2 出力段のいずれか一方を動作させ、前記予備充放電期間の後半に他方を動作させることを特徴とする請求項 5 に記載の予備充放電回路。

【請求項 7】位相補償手段を含まないことを特徴とする請求項 1 に記載の予備充放電回路。

【請求項 8】請求項 1 乃至 7 のいずれかに記載の前記予備充放電回路と、入力信号を受けて出力端子を駆動する出力回路と、を備え、前記予備充放電回路が前記出力端子を予備充放電する、ことを特徴とする駆動回路。

【請求項 9】請求項 1 に記載の前記予備充放電回路と、出力回路とで構成される駆動回路であって、
前記動作制御信号は、前記予備充放電回路と前記出力回路とを制御し、所望の電圧を出力する出力期間において、前記出力期間の前半に少なくとも前記予備充放電回路は動作させ、前記出力期間の後半に前記出力回路だけを動作させることを特徴とする駆動回路

【請求項 10】請求項 1 に記載の前記予備充放電回路

2

と、2 つの出力回路とで構成される駆動回路であって、
前記予備充放電回路は、前記第 1 出力段に作用を与える第 1 差動回路と前記第 2 出力段に作用を与える第 2 差動回路とを含み、更に前記 2 つの出力回路それぞれと前記第 1 差動回路および前記第 1 出力段または前記第 2 差動回路および前記第 2 出力段との接続を行う切替スイッチ群とを含み、

前記動作制御信号は前記 2 つの出力回路および前記切替スイッチ群も制御し、所望の電圧を出力する出力期間において、前記出力期間の前半に少なくとも前記予備充放電回路は動作させ、前記出力期間の後半に前記 2 つの出力回路だけを動作させることを特徴とする駆動回路。

【請求項 11】前記出力回路の入力信号電圧が、抵抗ストリングの接続端子より取り出した複数の電圧の中から選択された電圧であり、

前記出力回路が、前記入力信号電圧をそのまま出力するか、遮断するスイッチを含む、ことを特徴とする請求項 8 乃至 10 のいずれかに記載の駆動回路。

【請求項 12】前記出力回路が、オペアンプと、前記オペアンプの出力を遮断するスイッチとを含んで構成されることを特徴とする請求項 8 乃至 10 のいずれかに記載の駆動回路。

【請求項 13】入力端子からの入力信号電圧を入力して出力端子を駆動する出力回路と、

前記出力端子を予備充放電する予備充放電回路とを備えた駆動回路であって、

前記予備充放電回路が、

前記入力端子からの入力信号電圧と前記出力端子の出力信号電圧を差動入力する第 1、及び第 2 の差動回路と、

前記第 1 の差動回路の出力電圧が制御端子に接続されてオン及びオフされオン時には前記出力電圧により流れる電流が制御され高位側電源から前記出力端子を充電する第 1 導電型のトランジスタと、動作制御信号でオン及びオフ制御される第 1 のスイッチとが、前記高位側電源と前記出力端子との間に直列に接続されるとともに、
前記出力端子から低位側電源に放電する第 1 の定電流源回路と、前記動作制御信号でオン及びオフ制御される第 2 のスイッチとが、前記出力端子と前記低位側電源との間に直列に接続されてなる第 1 の出力段と、

前記第 2 の差動回路の出力電圧が制御端子に接続されてオン及びオフされオン時には前記出力電圧により流れる電流が制御され前記出力端子から前記低位側電源に放電する第 2 導電型のトランジスタと、前記動作制御信号でオン及びオフ制御される第 3 のスイッチとが、前記出力端子と前記低位側電源との間に直列に接続されるとともに、

前記高側電源側から前記出力端子を充電する第 2 の定電流源回路と、前記動作制御信号でオン及びオフ制御される第 4 のスイッチとが、前記高位側電源と前記出力端子との間に直列に接続されてなる第 2 の出力段と、

3

を備えたことを特徴とする駆動回路。

【請求項 14】前記第 1、第 2 の差動回路が、前記入力端子と前記出力端子の信号電圧を差動入力し、極性が互いに逆の第 1、第 2 の差動対トランジスタと、前記第 1、及び第 2 の差動対トランジスタにそれぞれ接続される第 1、及び第 2 の負荷回路と、前記第 1、第 2 の差動対トランジスタにそれぞれ電流を供給する第 1、第 2 の定電流源と、をそれぞれ備え、

前記第 1、第 2 の定電流源から、前記第 1、第 2 の差動対トランジスタにそれぞれ定電流を供給するパスを前記動作制御信号に基づきオン及びオフ制御する第 5、第 6 のスイッチをそれぞれ備えたことを特徴とする請求項 13 に記載の駆動回路。

【請求項 15】入力端子からの入力信号電圧を入力して出力端子を駆動する出力回路と、

前記出力端子を予備充電する予備充電回路とを備えた駆動回路であって、

前記予備充電回路が、

前記入力端子からの入力信号電圧と前記出力端子の出力信号電圧を差動入力する第 1 の差動回路と、

前記第 1 の差動回路の第 1 の出力電圧が制御端子に接続されてオン及びオフされオン時には前記第 1 の出力電圧により流れる電流が制御され高位側電源から前記出力端子を充電する第 1 導電型のトランジスタと、動作制御信号でオン及びオフ制御される第 1 のスイッチとが、前記高位側電源と前記出力端子との間に直列に接続されるとともに、

前記出力端子から低位側電源に放電する第 1 の定電流源回路と、前記動作制御信号でオン及びオフ制御される第 2 のスイッチとが、前記出力端子と前記低位側電源との間に直列に接続されてなる第 1 の出力段と、

前記第 1 の差動回路の第 2 の出力電圧が制御端子に接続されてオン及びオフされオン時には前記第 2 の出力電圧により流れる電流が制御され前記出力端子から前記低位側電源に放電する第 2 導電型のトランジスタと、前記動作制御信号でオン及びオフ制御される第 3 のスイッチとが、前記出力端子と前記低位側電源との間に直列に接続されるとともに、

前記高側電源側から前記出力端子を充電する第 2 の定電流源回路と、前記動作制御信号でオン及びオフ制御される第 4 のスイッチとが、前記高位側電源と前記出力端子と間に直列に接続されてなる第 2 の出力段と、を備えたことを特徴とする駆動回路。

【請求項 16】前記第 1 の差動回路が、前記入力端子と前記出力端子の電圧を差動入力する差動対トランジスタと、差動対トランジスタの負荷回路と、前記差動対トランジスタに電流を供給する定電流源と、前記定電流源から、前記差動対トランジスタに定電流を供給するパスを前記動作制御信号に基づきオン及びオフ制御する第 5 のスイッチと、を備えたことを特徴とする請求項 15 に記

4

載の駆動回路。

【請求項 17】前記出力端子の出力電圧の立ち上がりの予備充電期間には、前記第 1 の差動回路の前記第 5 のスイッチと前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオンとし、前記出力回路をオフ状態とし、前記予備充電期間終了後、前記第 1 の差動回路の前記第 5 のスイッチと前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオフとし、前記出力回路をオン状態とし、

前記出力端子の出力電圧の立ち下がりの予備放電期間には、前記第 2 の差動回路の前記第 6 のスイッチと前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオンとし、前記出力回路をオフ状態とし、前記予備放電期間終了後、前記第 2 の差動回路の前記第 6 のスイッチと前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオフとし、前記出力回路をオン状態とする、ことを特徴とする請求項 14 に記載の駆動回路。

【請求項 18】前記出力端子の予備充電期間には、前記第 1 の差動回路の前記第 5 のスイッチと前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオンとし、前記予備充電期間につづく前記出力端子の予備放電期間には、前記第 1 の差動回路の第 5 のスイッチと前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオフとし、前記第 2 の差動回路の前記第 6 のスイッチと前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオンとし、前記予備放電期間終了後、前記第 2 の差動回路の前記第 6 のスイッチと前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオフとし、前記出力回路をオン状態とする、ことを特徴とする請求項 14 に記載の駆動回路。

【請求項 19】前記出力端子の出力電圧の立ち上がりの予備充電期間には、前記第 1 の差動回路の各スイッチと前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオンとし、前記出力回路をオフ状態とし、予備充電期間終了後、前記第 1 の差動回路の前記スイッチと前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオフとし、前記出力回路をオン状態とし、

前記出力端子の出力電圧の立ち下がりの予備放電期間には、前記第 1 の差動回路の各スイッチと前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオンとし、前記出力回路をオフ状態とし、前記予備放電期間終了後、前記第 1 の差動回路の前記スイッチと前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオフとし、前記出力回路をオン状態とする、ことを特徴とする請求項 15 または 16 に記載の駆動回路。

【請求項 20】前記出力端子の予備充電期間には、前記第 1 の差動回路の各スイッチと前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオンとし、前記予備充電期間につづく前記出力端子の予備放電期間には前記第 1 の出力段の前記第 1、及び第 2 のスイッチをオフとし、前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオンとし、

5

前記第 2 の予備放電期間終了後、前記第 1 の差動回路の各スイッチ、及び、前記第 2 の出力段の前記第 3、及び第 4 のスイッチをオフとし、前記出力回路をオン状態とする、ことを特徴とする請求項 15 または 16 に記載の駆動回路。

【請求項 21】第 1、及び第 2 の入力端子と、
前記第 1、及び第 2 の入力端子を入力とする第 1、及び第 2 の出力回路と、
第 1、及び第 2 の出力回路の出力に接続された第 1、及び第 2 の出力端子と、
前記予備充放電回路と、
を備え、
前記予備充放電回路の前記第 1、第 2 の差動回路において、差動入力端の一方は、前記第 1 の入力端子と前記第 2 の入力端子の一方にそれぞれ第 1、第 2 のセクタを介して接続され、差動入力端の他方は、前記第 1 の出力端子と前記第 2 の出力端子の一方にそれぞれ第 3、第 4 のセクタを介して接続され、
前記第 3、第 4 のセクタで選択された出力端子が、前記予備充放電回路の前記第 1、及び第 2 の出力段により充放電される、ことを特徴とする請求項 13 または 14 に記載の駆動回路。

【請求項 22】前記出力回路が、前記入力端子と前記出力端子間に接続され、前記動作制御信号でオン及びオフ制御されるトランスファゲートを含む、ことを特徴とする請求項 13 乃至 21 のいずれかに記載の駆動回路。

【請求項 23】前記出力回路が、前記入力端子が非反転入力端に接続され、出力端が反転入力端に接続されボルテージフォロウとして機能するオペアンプと、
前記オペアンプの出力端と前記出力端子との間に接続され、前記動作制御信号でオン及びオフ制御されるトランスファゲートと、を含む、ことを特徴とする請求項 13 乃至 21 のいずれかに記載の駆動回路。

【請求項 24】前記出力端子に接続される前記容量性負荷を駆動する、ことを特徴とする請求項 13 乃至 23 のいずれかに記載の駆動回路。

【請求項 25】液晶表示装置の駆動回路が、請求項 13 乃至 23 のいずれかに記載の駆動回路を備えた、ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、容量性負荷を所定の期間、所定の電圧に駆動する駆動回路に関し、特に、アクティブマトリクス駆動方式を用いた液晶表示装置の駆動回路の出力段であるドライバ（バッファ）部等に用いて好適な駆動回路に関する。

【0002】

【従来の技術】近時、情報通信技術の発展に伴い携帯電話や携帯情報端末など表示部を有する携帯機器の需要が高まっている。携帯機器は、連続使用時間が十分長いこ

6

とが重要とされており、液晶表示装置は低消費電力であることから、携帯機器の表示部に広く使われている。

【0003】また液晶表示装置は、従来バックライトを用いた透過型であったが、外光を利用してバックライトを用いない反射型も開発され、更に低電力化が図られている。

【0004】さらに近時、液晶表示装置は、高精細化とともに鮮明な画像表示が求められるようになり、従来の単純マトリクス方式よりも鮮明表示可能なアクティブマトリクス駆動方式の液晶表示装置の需要が高まっている。

【0005】液晶表示装置の低消費電力化の要求は、その駆動回路にも求められており、低消費電力の駆動回路の研究・開発が盛んに行われている。以下、アクティブマトリクス駆動方式の液晶表示装置の駆動回路について説明する。

【0006】一般に、アクティブマトリクス駆動方式を用いた液晶表示装置の表示部は、透明な画素電極及び薄膜トランジスタ（TFT）を配置した半導体基板（TFT 基板）と、面全体に 1 つの透明な電極を形成した対向基板と、これら 2 枚の基板を対向させて間に液晶を封入した構造からなり、スイッチング機能を持つ TFT を制御することにより、各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率を変化させて画像を表示するものである。

【0007】半導体基板上には、各画素電極へ印加する複数のレベル電圧（階調電圧）を送るデータ線と、TFT 素子へのスイッチング制御信号を送る走査線とが配線され、データ線は、対向基板電極との間に挟まれる液晶容量や各走査線との交差部に生じる容量などにより、比較的大きな容量性負荷となっている。

【0008】各画素電極への階調電圧の印加はデータ線を介して行われ、1 フレーム期間（1/60 秒程度）にデータ線につながる全ての画素へ階調電圧の書き込みが行われるため、データ線駆動回路は、容量性負荷であるデータ線を、高い電圧精度で高速に駆動しなければならない。

【0009】このように、データ線駆動回路は、容量性負荷であるデータ線を、高い電圧精度で高速に駆動する必要がある、さらに、携帯機器用途については、低消費電力であることが求められている。このため、上記要求（出力電圧の高精度化、高速化、及び、低消費電力化）を満たすために、様々なデータ線駆動回路の開発が行われている。

【0010】複数のレベル電圧を出力する駆動回路としては、図 20 のような抵抗ストリング 200 の接続端子から取り出した電圧を、デコーダ 300 で選択して、出力端子群 400 に接続される液晶表示パネルのデータ線に直接出力するのが簡単である。なおデコーダ 300 における各データ線に対応したレベル電圧の選択は、デジ

タル信号により行うことができる。

【0011】図20の駆動回路の消費電力は、抵抗ストリング200に流す電流によって決まり、この電流を小さく抑えれば消費電力を抑えることができる。しかし、データ線へのレベル電圧の駆動期間（1出力期間）は、一般に表示パネルの走査線数によって決まり、画素数が多いパネルでは、1出力期間も短くなり、高速駆動が必要となる。

【0012】図20に示した駆動回路の駆動速度は、抵抗ストリング200に流れる電流の大きさに依存し、データ線に供給される電荷は抵抗ストリング200より供給される。このため、インピーダンスが高く、図20に示した駆動回路において、高速駆動を行うためには、抵抗ストリング200の電流を十分大きくする必要がある、その場合、消費電力が大きくなる。

【0013】これを改善する駆動回路として、例えば特開平10-301539号公報には、図21に示すような構成の駆動回路が提案されている。図21を参照すると、この駆動回路は、図20に示した駆動回路の各出力に、出力回路900を設けたものである。出力回路900は、ゲートがデコーダ300の出力と出力端子400間に接続されたスイッチ901と、ドレインが高位側電源VDDに接続され、ソースが出力端子400に接続され、ゲートがデコーダ300の出力に接続されたNMOSトランジスタ902と、ソースが出力端子400に接続され、ドレインが低位側電源VSSに接続され、ゲートがデコーダ300の出力に接続されたPMOSトランジスタ903とを備えて構成されている。

【0014】そして、出力期間の前半に、予備充放電期間を設けて、予備充放電期間にスイッチ901をオフとすると、トランジスタ902または903のソースフォロウ動作により、選択されたレベル電圧からトランジスタの閾値電圧ずれた電圧付近まで、高速に近づけることができる。

【0015】予備充放電期間終了後は、スイッチ901をオンとし、図20に示した駆動回路と同様に、抵抗ストリング200から、直接、データ線に電荷を供給し、選択されたレベル電圧に駆動する。

【0016】図21に示した駆動回路は、予備充放電期間は、トランジスタのソースフォロウ動作におけるインピーダンス変換により、トランジスタのドレインに接続された電源からデータ線へ電荷が供給されるため、高速駆動が可能となる。

【0017】このため図21に示した駆動回路は、図20に示した駆動回路よりも、高速に所定のレベル電圧に駆動することができる。

【0018】一方、抵抗ストリング200から各データ線へ電荷を供給することなく、完全なインピーダンス変換によって高速駆動を実現する駆動回路も知られている。その代表的な駆動回路の一例を図22に示す。

【0019】図22を参照すると、駆動回路は、オペアンプよりなり、差動増幅段81、82と出力増幅段84で構成したものである。図22において、オペアンプの出力電圧 V_{out} を差動増幅段81、82の V_{in-} （反転入力端）に戻した（負帰還をかけた）ボルテージフォロウ構成とすると、出力電圧 V_{out} は、 V_{in+} （非反転入力端）に与えられた電圧と等しい電圧が電流増幅されて出力される。したがって、レベル電圧を、 V_{in+} に与えれば、高い電流供給能力で高速にデータ線を駆動することができる。

【0020】ボルテージフォロウ構成とした図22のオペアンプの動作は、 $V_{in+}=V_{in-}$ では、出力電圧 V_{out} は安定しているが、 $V_{in+}>V_{in-}$ に変化すると、出力増幅段84のPMOSトランジスタ841のみが動作して、出力電圧 V_{out} は、 V_{in+} （非反転入力端の電圧）まで引き上げられる。一方、 $V_{in+}<V_{in-}$ に変化すると、出力増幅段84のNMOSトランジスタ842のみが動作して、出力電圧 V_{out} は、 V_{in-} （反転入力端の電圧）まで引き下げられる。

【0021】帰還をかけた構成では、出力電圧 V_{out} の変化に対する差動増幅段81、82および出力増幅段84の応答に遅延が生じるため発振が起きやすくなる。そのため位相補償手段として、容量素子843、844を設け、応答遅延のタイミングの調整（位相補償）を行い、発振を防いで安定した出力電圧を得られるようにしている。このようなオペアンプを用いることにより、データ線を高速に駆動することができる。なお、図22に示したオペアンプを、図21の出力回路900として用いる場合には、 V_{in+} を与える回路は十分小さな電流供給能力でよいから、抵抗ストリング200の電流を十分小さくすることができる。

【0022】しかしながら、図22に示したオペアンプは、容量性負荷の充放電電力と、オペアンプの動作を維持するためのアイドル電流による消費電力が生じる。また、 V_{in+} に与えられるレベル電圧が変化すると、出力電圧が安定するまで充電作用と放電作用が高速に切り替わることにより、短い時間に、極めて大きな電力を消費する場合がある。このため、図22に示したオペアンプは、高い電圧精度および高速駆動は可能であるが、消費電力は大きくなる。

【0023】これを改善する駆動回路として、例えば特公平11-2990082号には、図23に示すような駆動回路が提案されている。図23を参照すると、この駆動回路は、差動増幅段81と出力増幅段83からなるオペアンプと、予備放電制御スイッチ834とを備えて構成されている。

【0024】出力増幅段83は、PMOSトランジスタ831により充電作用は高速に行うことができるが、放電作用の速度は、定電流回路832の電流に制限され

る。そのため、出力期間の前半に、予備放電期間を設け、予備放電期間に、スイッチ 834 によりデータ線を一旦電源電圧 V_{SS} に引き下げ、予備放電期間以後に、オペアンプにより高速に所定のレベル電圧に駆動する。これにより、差動増幅段 81 と出力増幅段 83 の定電流回路 815、832 の電流を小さくし、アイドル電流を小さく抑えても高速駆動が実現できる。

【0025】すなわち、図 23 に示した駆動回路は、データ線を一旦電源電圧 V_{SS} に予備放電することにより、アイドル電流を抑えた低消費電力のオペアンプで高速駆動を可能とするとともに、さらに、オペアンプによる高い電圧精度で駆動することができる。

【0026】また、予備放電を必要とせずに、図 23 のような簡単なオペアンプを用いても高速駆動が可能で、さらに低消費電力を実現できる駆動回路として、例えば特開平 10-197848 号公報には、図 24 に示すような構成が提案されている。

【0027】図 24 を参照すると、入力電圧 V_{in} を反転入力端（-）に入力するオペアンプ 860 と、高位側電源 V_{DD} にスイッチ 871 を介してソースが接続された PMOS トランジスタ 861 と、低位側電源 V_{SS} にスイッチ 872 を介してソースが接続された NMOS トランジスタ 862 と、を備え、PMOS トランジスタ 861 と NMOS トランジスタ 862 のドレインは出力端子に共通接続され、PMOS トランジスタ 861 と NMOS トランジスタ 862 のゲートに、オペアンプ 860 の出力が共通接続され、出力端子の電圧 V_{out} を、オペアンプ 860 の非反転入力端（+）に戻す帰還型の構成としている。

【0028】オペアンプ 860 はトランジスタ 861、862 のそれぞれのゲートのみを駆動する構成であるため、オペアンプ 860 が電流供給能力を抑えた低消費電力型の構成でも、トランジスタ 861、862 のゲートを高速に駆動することができる。またトランジスタ 861、862 は高い電流供給能力で容量性負荷を高速に充電または放電することができ、オペアンプ 860 の入力と等しい電圧となったところで安定する。

【0029】したがって、図 23 に示した駆動回路は、高速駆動が可能である。またスイッチ 871、872 は、充電作用と放電作用の切り替えによる貫通電流を防ぐために設けられており、PMOS トランジスタ 861 による充電作用を生じるときに、スイッチ 871 をオンとし、NMOS トランジスタ 862 による放電作用を生じるときに、スイッチ 872 をオンとする。これにより、高速駆動を可能とし、消費電力を容量性負荷の充放電電力とオペアンプ 860 のアイドル電流による消費電力だけに抑えることができる。

【0030】

【発明が解決しようとする課題】前述したように、携帯機器用途の液晶表示装置の駆動回路には、何よりも低消

費電力であることが求められている。それと同時に高い電圧精度での高速駆動が必要である。

【0031】図 21 に示した駆動回路は、データ線を所定のレベル電圧からトランジスタの閾値電圧程度ずれた電圧まで高速に予備充電し、その後抵抗ストリング 200 から直接電荷を供給して所定のレベル電圧に駆動することにより、図 20 に示した駆動回路よりも高速駆動を可能にしている。しかしながら、図 21 においても、トランジスタの閾値電圧程度の電圧変動分は、抵抗ストリング 200 から直接電荷を供給して駆動しなければならないため、トランジスタの閾値電圧が十分小さくない限り、抵抗ストリング 200 の電流を十分小さく抑えることはできない。もし、予備充電によってレベル電圧付近まで高速に駆動することができる予備充電回路があれば、抵抗ストリング 200 の電流を十分小さく抑えることができることは、容易に理解できよう。

【0032】一方、図 23 や図 24 の示したような、帰還型の構成の駆動回路は、高速駆動は容易に実現できるが、高い電圧精度で安定にデータ線を駆動するためには、発振を防ぐための位相補償手段を必ず設けなければならない。

【0033】図 23 に示したオペアンプのように、定電流回路によってアイドル電流を抑える場合でも、位相補償容量を高速に充放電させる大きさのアイドル電流（静消費電流）は流さなければならない。

【0034】また、図 23 に示したオペアンプの場合は、出力期間ごとに電源電圧に予備放電を行う構成とされており、同じレベル電圧で連続駆動する場合にも、データ線を毎出力期間ごと予備放電しなければならないため、余分な充放電電力を消費する。

【0035】また、図 24 に示した駆動回路の場合は、データ線を駆動するときに充電作用または放電作用のいずれか一方しか行われないので、容量が比較的小さいデータ線の場合には、駆動電圧が所定のレベル電圧から大きくずれてしまう場合がある。

【0036】また図 23、図 24 に示した構成以外でも、オペアンプを用いた駆動回路において、アイドル電流による消費電力を抑えるためにオペアンプを一時的に非動作とする方法等も提案されているが、オペアンプの動作開始時に、位相補償容量の充放電が安定するまでは出力電圧が不安定になるため、頻繁にオペアンプの動作、非動作の切替を行うと高い電圧精度の出力が難しくなり、出力不安定となる期間の充放電により消費電力も増加する。

【0037】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、高速動作、及び低消費電力化を実現し、容量性負荷を駆動する駆動回路に用いて好適とされる予備充電回路を提供することにある。

【0038】本発明の他の目的は、出力電圧の高精度

化、高速動作、及び低消費電力化を図る駆動回路を提供することにある。

【0039】

【課題を解決するための手段】上記目的を達成するため本発明の駆動回路は、放電作用を有する第1定電流回路と充電手段とを含む第1出力段と、充電作用を有する第2定電流回路と放電手段とを含む第2出力段と、前記第1出力段または前記第2出力段に作用を与える差動回路を少なくとも1つ含んで構成され、さらに前記第1出力段および前記第2出力段および前記差動回路をそれぞれ個別に制御する動作制御信号とを含むことを特徴とする予備充放電回路を有する。

【0040】本発明において、前記第1出力段および前記第2出力段および前記差動回路は、それぞれ内部に流れる電流を遮断する複数のスイッチを含み、前記動作制御信号による前記複数のスイッチの制御により、前記第1出力段および前記第2出力段および前記差動回路の制御が行われてもよい。

【0041】また、本発明において、前記差動回路は、前記予備充放電回路に入力される2つの電圧の電圧差に応じて動作し、前記2つの電圧の一方が前記予備充放電回路から出力される電圧であってもよい。さらに前記差動回路は、定電流回路を含み、前記定電流回路により前記差動回路内部に流れる電流が全て制御されているのが好ましい。また、前記第1出力段および前記第2出力段は、前記動作制御信号により少なくともどちらか一方が動作している間は、他方は非動作とされてもよい。また、前記予備充放電回路を動作させる予備充放電期間において、前記予備充放電期間の前半に少なくとも前記第1出力段または前記第2出力段のいずれか一方を動作させ、前記予備充放電期間の後半に他方を動作させてもよい。

【0042】なお、前記予備充放電回路は、位相補償手段を含まない。

【0043】また、本発明の駆動回路は、前記予備充放電回路と出力回路とで構成される駆動回路で、前記動作制御信号は前記出力回路も制御し、所望の電圧を出力する出力期間において、前記出力期間の前半に少なくとも前記予備充放電回路は動作させ、前記出力期間の後半に前記出力回路だけを動作させてもよい。

【0044】また、本発明の他の駆動回路は、前記予備充放電回路と2つの出力回路とで構成される駆動回路で、前記予備充放電回路は、前記第1出力段に作用を与える第1差動回路と前記第2出力段に作用を与える第2差動回路とを含み、更に前記2つの出力回路それぞれと前記第1差動回路および前記第1出力段または前記第2差動回路および前記第2出力段との接続を行う切替スイッチ群とを含み、前記動作制御信号は前記2つの出力回路および前記切替スイッチ群も制御し、所望の電圧を出力する出力期間において、前記出力期間の前半に少なく

とも前記予備充放電回路は動作させ、前記出力期間の後半に前記2つの出力回路だけを動作させてもよい。

【0045】本発明の駆動回路の具体例は、前記出力回路の入力電圧が、抵抗ストリングの接続端子より取り出した複数の電圧の中から選択された電圧であって、また前記出力回路が、前記入力電圧をそのまま出力したり又は遮断したりするスイッチを含んで構成されることを特徴とする。

【0046】また、本発明の駆動回路の応用例として、前記出力回路が、オペアンプと、前記オペアンプの出力を遮断するスイッチとを含んで構成してもよい。

【0047】本発明の予備充放電回路は、電圧精度はオペアンプに劣るものの、所望のレベル電圧付近まで高速に予備充放電を行うことができるので、抵抗ストリングの電流を十分小さく抑えても高速駆動が可能で、しかも最終的には抵抗ストリングによって駆動することにより高い電圧精度を実現することができる。

【0048】

【発明の実施の形態】本発明の駆動回路の原理・作用について以下に説明する。なお、以下では、液晶表示装置のデータ線などの容量性負荷を所定の期間内に所望の電圧に駆動する駆動回路に本発明を適用した実施の形態について説明する。

【0049】はじめに、予備充放電回路について説明する。予備充放電回路の動作は、動作制御信号により制御する。予備充放電回路は、オペアンプと同様の帰還型の構成とされている。このため、出力電圧を所望の電圧付近まで高速駆動が可能である（本発明の第1の特徴）。

【0050】オペアンプ構成の駆動回路の場合には、安定な動作を維持するために位相補償容量を含み、また位相補償容量を十分高速に充放電させるためのアイドリング電流が必要とされているが、本発明において、予備充放電回路には、位相補償容量のような位相補償手段は設けない。これにより、位相補償容量の充放電が必要なく、アイドリング電流を十分小さく抑えることができる。

【0051】さらに、本発明においては、位相補償容量を持たないことから、わずかなアイドリング電流でトランジスタのゲート電圧を速やかに変動させることができるため、オペアンプのような位相補償容量を含む駆動回路よりも、高速動作が可能である。

【0052】しかしながら、帰還型の構成において、位相補償手段を持たなければ、発振を生じ、安定な出力を行うことができない。

【0053】そこで、本発明においては、予備充放電回路は、放電作用を有する第1定電流回路と充電手段とを含む第1出力段と、充電作用を有する第2定電流回路と放電手段とを含む第2出力段を備えている（本発明の第2の特徴）。

【0054】そして、第1出力段と第2出力段は、どち

らか一方が動作するときは他方が非動作となるように制御される。

【0055】このため第1出力段が動作するときは、充電手段により高速充電作用が生じるが、放電作用を生じる第1定電流回路の電流値を十分小さく設定すると、発振を生じて、所望の電圧付近での小さいレベルの振動に抑えられる。

【0056】また、第2出力段が動作するときは、放電手段により高速放電作用が生じるが、充電作用を生じる第2定電流回路の電流値を十分小さく設定すると、発振を生じて、所望の電圧付近での小さいレベルの振動に抑えられる。

【0057】これにより、容量性負荷の容量が比較的小さい場合でも、所望の電圧付近に駆動することができる。

【0058】さらに本発明において、予備充放電回路は、差動回路および第1出力段および第2出力段それぞれが定電流回路を備えている（本発明の第3の特徴）。これにより、予備充放電回路のアイドル電流は、各定電流回路で制御され、各定電流回路を十分小さく設定することにより、低消費電力を実現することができる。

【0059】なお、アイドル電流を十分小さく抑えても高速動作が可能であることは、上記に説明した通りである。また、差動回路および第1出力段および第2出力段それぞれにアイドル電流を遮断するスイッチを設け、動作制御信号によって各スイッチをオフ制御することにより、予備充放電回路の動作を停止させることもできる。

【0060】そして、予備充放電回路の動作、非動作を頻繁に切り替える場合も、速やかに動作させることができ、動作、非動作の切り替えによる消費電力の増加も生じない。

【0061】以上のように、本発明において、予備充放電回路は、上記特徴により、所望の電圧付近までの高速駆動と低消費電力を実現することができる。

【0062】次に、本発明における、予備充放電回路と出力回路を含む駆動回路について説明する。予備充放電回路は、所望の電圧付近までの高速駆動が可能であるため、高精度な電圧出力が可能な出力回路と組み合わせることで、出力電圧の高精度化、高速化、低消費電力の駆動回路を実現することができる。

【0063】任意の1出力期間において、容量性負荷を所望の電圧に駆動する場合、出力期間の前半に予備充放電期間を設け、予備充放電期間に、予備充放電回路を動作させて、所望の電圧付近まで高速に駆動し、出力期間の後半は、予備充放電回路を非動作（非活性化状態）とし、出力回路の動作によって、高い電圧精度で所望の電圧に駆動する。

【0064】なお予備充放電回路は、第1出力段による高速充電作用と、第2出力段による高速放電作用を同時

には動作させないため、予備充放電期間を、更に2段階に分けて、第1出力段を動作させる予備充電期間と、第2出力段を動作させる予備放電期間を設けても良い。

【0065】また、出力回路は、予備充放電回路を動作させる出力期間の前半において、回路特性に応じて動作または非動作とする。または、非動作とする代わりに、出力回路を容量性負荷の駆動から一時的に切り離してもよい。

【0066】以上のような駆動を行うことにより、前記出力回路は、高精度な電圧出力が可能であれば、電流供給能力を抑えた駆動回路を用いることができる。

【0067】以上のように、本発明の駆動回路は、前述した従来技術の課題を解決し、高い電圧精度で高速駆動および低消費電力を実現することができる。具体例としては、抵抗ストリングから直接電荷を供給してデータ線を駆動する駆動回路に適用すれば、抵抗ストリングの電流を十分小さく抑えても、高い電圧精度で高速駆動および低消費電力を実現することができる。また応用例としては、前記出力回路にオペアンプを用いれば、オペアンプのアイドル電流を増やすことなく高速化を実現することもできる。

【0068】以上、アクティブマトリクス駆動方式の液晶表示装置の駆動回路の場合について説明したが、これは、容量性負荷の駆動回路の代表例の一例として説明したものであり、本発明は液晶表示装置以外の、任意の容量性負荷の駆動回路としても用いることができる。

【0069】次に、本発明の実施の形態について、図面を参照して説明する。なお説明を簡単にするため、以下では、トランジスタとしてMOSトランジスタを用いた場合について説明する。MOSトランジスタ以外のトランジスタについても、MOSトランジスタの場合と同様の作用を得られるので説明は省略する。なお、以下の説明において参照する各図においては、他の図と同等の機能または回路には同一符号が付されている。なお、実施の形態および以下の全ての実施の形態において、出力端子2には容量性負荷が接続されているものとし、各実施例における駆動回路は容量性負荷を所望の電圧に駆動するための駆動回路であるとする。

【0070】〔第1の実施の形態〕図1は、本発明の駆動回路の第1の実施の形態の構成を示す図である。図1を参照すると、この駆動回路は、入力端子1および出力端子2と、入力端子1の電圧 V_{in} を受け、出力端子2に所望の電圧を出力する出力回路10と、出力端子2の電圧 V_{out} を所望の電圧付近まで高速に変動させることのできる予備充放電回路20と、を備え、動作制御信号は、予備充放電回路20および出力回路10の動作、非動作を制御する信号である。

【0071】予備充放電回路20は、第1差動回路21と、第2差動回路22と、第1出力段30と、第2出力段40とを備えている。

【0072】第1出力段30は、充電手段31と第1定電流回路32とを備え、第2出力段40は、放電手段41と第2定電流回路42とを備えている。

【0073】第1差動回路21と第1出力段30、第2差動回路22と第2出力段40は、それぞれ出力段30、40の出力電圧を、差動回路21、22の入力に戻す帰還型の構成とされており、第1差動回路21および第2差動回路22は、入力電圧 V_{in} と出力電圧 V_{out} の電圧差の変動に応じて動作し、それぞれの出力を受けて、充電手段31および放電手段41も動作し、出力電圧 V_{out} を変化させる。

【0074】充電手段31は、高い電流供給能力で出力端子2を充電して、出力電圧 V_{out} を、高位側（電源電圧 V_{DD} 側とする）に引き上げるように作用し、放電手段41は、高い電流供給能力で出力端子2の蓄積電荷を放電して出力電圧 V_{out} を、低位側（電源電圧 V_{SS} 側とする）に引き下げるように作用する。

【0075】また第1定電流回路32は、一定の電流供給能力で出力端子2の蓄積電荷を放電して、出力電圧 V_{out} を、電源電圧 V_{SS} 側に引き下げるように作用し、第2定電流回路42は一定の電流供給能力で出力端子2を充電して、出力電圧 V_{out} を、電源電圧 V_{DD} 側に引き上げるように作用する。

【0076】なお第1差動回路21と第1出力段30、第2差動回路22と第2出力段40のそれぞれは、帰還型の構成であるが、本発明の実施の形態においては、位相補償手段は設けていない。

【0077】以下に、図1に示した本発明の第1の実施の形態の駆動回路の動作について説明する。

【0078】はじめに、第1差動回路21と第1出力段30（充電手段31、第1定電流回路32）の動作について説明する。

【0079】第1差動回路21の電圧出力は、入力端子1の電圧 V_{in} および出力端子2の電圧 V_{out} の電圧差の変動に応じて変動し、その変動により、電圧 V_{out} が所望の電圧よりも低い電圧のときに、充電手段31を動作させ、電圧 V_{out} が所望の電圧よりも高い電圧のときには、充電手段31を停止させる。

【0080】したがって、出力電圧 V_{out} は、所望の電圧よりも低い電圧のときには、充電手段31によって、高速に、電源電圧 V_{DD} 側に引き上げられ、所望の電圧よりも高い電圧のときには、第1定電流回路32によって緩やかに引き下げられ、そして所望の電圧付近でほぼ安定する。第1差動回路21と第1出力段30は帰還型の構成であるが、位相補償手段は設けない。位相補償手段は発振を抑え、出力電圧 V_{out} を安定させる作用があるが、一方で、動作速度の低下や消費電力の増加を招く。

【0081】本発明の第1の実施の形態においては、第1差動回路21と第1出力段30には、位相補償手段を

設けず、高速応答させることによって、出力電圧 V_{out} を所望の電圧付近まで高速に変動させる。

【0082】しかしながら、位相補償手段を設けない場合でも、回路素子に付帯する寄生容量等により、出力電圧 V_{out} の変動に対する第1差動回路21と充電手段31のそれぞれの応答にわずかながら遅延が生じる。

【0083】このため、出力電圧 V_{out} が電源電圧 V_{DD} 側に引き上げられる場合に、充電手段31の応答遅延により、過充電が生じて、出力電圧 V_{out} は所望の電圧よりも高い電圧となる場合がある。しかしながら、本発明の第1の実施の形態では、第1差動回路21と充電手段31の高速応答により、過充電も十分小さいレベルに抑えることができる。

【0084】また、充電作用と放電作用の繰返しにより、出力電圧 V_{out} は、発振（振動）を生じるが、この発振（振動）を十分小さいレベルに抑えるため、第1定電流回路32を十分小さいレベルの電流に設定する。

【0085】充電手段31によって、充電作用が高速に行われても、第1定電流回路32による放電作用が緩やかであるため、発振（振動）は、所望の電圧付近で緩やかな変動で小さいレベルに抑えられる。

【0086】すなわち、本発明の第1の実施の形態においては、位相補償手段を設けないことにより、出力電圧 V_{out} の変動に対する第1差動回路21と、充電手段31の応答を速めて過充電を小さく抑え、第1定電流回路32を十分小さいレベルの電流に設定することにより、発振（振動）を、緩やかな変動の小さいレベルに抑えることができる。

【0087】さらに、第1定電流回路32の電流値を十分小さな電流レベルに抑えたことにより消費電力も抑えることができる。

【0088】なお第1差動回路21と第1出力段30は、出力電圧 V_{out} を所望の電圧に十分近いレベルまで速やかに予備充電できればよく、十分小さいレベルの発振（振動）が残っても、差し支えない。

【0089】次に、第2差動回路22と第2出力段40（放電手段41、第2定電流回路42）について説明する。基本的な動作原理は、第1差動回路21と第1出力段30と同様である。

【0090】第2差動回路22の電圧出力は、入力端子1の電圧 V_{in} および出力端子2の電圧 V_{out} の電圧差に応じて変動し、電圧 V_{out} が所望の電圧よりも高い電圧のときに放電手段41を動作させ、電圧 V_{out} が所望の電圧よりも低い電圧のときには放電手段41を停止させる。

【0091】したがって、出力電圧 V_{out} が、所望の電圧よりも高い電圧のときには、第2定電流回路42によって緩やかに引き上げられ、所望の電圧付近でほぼ安定する。

【0092】第2差動回路22と第2出力段40も帰還

10

20

30

40

50

型の構成であるが、第1差動回路21と第1出力段30の構成と同様に、位相補償手段は設けず、第2定電流回路を十分小さいレベルの電流に設定する。これにより、出力電圧 V_{out} の変動に対する第2差動回路22と放電手段41の応答を速めて過放電を小さく抑え、発振（振動）を緩やかな変動の小さいレベルに抑えることができる。

【0093】さらに、第2定電流回路42を十分小さな電流レベルに抑えたことにより、消費電力も抑えることができる。

【0094】なお、第2差動回路22と第2出力段40は、出力電圧 V_{out} を所望の電圧に十分近いレベルまで速やかに予備放電できればよく、十分小さいレベルの発振（振動）が残っても差し支えない。

【0095】第1定電流回路32および第2定電流回路42は、特に、負荷容量（出力端子2の負荷容量）が小さい場合に、有効な作用を生じる。

【0096】出力負荷容量が小さい場合には、充電手段31または放電手段41による過充電または過放電が生じると、出力電圧 V_{out} が所望の電圧から大きくずれやすくなるが、本発明の第1の実施の形態においては、第1定電流回路32および第2定電流回路42を設けることにより、過充電または過放電を抑制し、予備充放電回路20の作用により到達する電圧と、所望の電圧とのずれを抑えることができる。

【0097】また第1差動回路21および第2差動回路22は、それぞれアイドリング電流を制御する定電流回路を備えている。これにより、第1差動回路21、第2差動回路22、第1出力段30、第2出力段40に流れる電流は、それぞれ各定電流回路により制御され、それぞれのアイドリング電流を十分小さく設定することにより予備充放電回路20の低消費電力を実現することができる。

【0098】本発明の第1の実施の形態において、アイドリング電流を十分小さく抑えながら、高速動作が可能であることは、上記した通りである。また、アイドリング電流を遮断することにより、予備充放電回路20の動作を停止させることができる。

【0099】そして予備充放電回路20の動作、非動作を頻繁に切り替える場合も、速やかに動作させることができ、動作、非動作の切り替えによる消費電力の増加も生じない。

【0100】次に、本発明の第1の実施の形態において、動作制御信号による予備充放電回路20の動作の制御について説明する。予備充放電回路20の第1差動回路21、第1出力段30（充電手段31、第1定電流回路32）および第2差動回路22、第2出力段40（放電手段41、第2定電流回路42）は、それぞれ電流を遮断するスイッチを含み、動作制御信号により、各スイッチのオン、オフを制御して、予備充放電回路20の動

作、非動作を制御する。

【0101】予備充放電回路20を非動作とした場合に、電力は消費されない。また動作制御信号は、予備充放電回路20の動作時においても、第1差動回路21と第1出力段30（充電手段31、第1定電流回路32）を動作させるときは、第2差動回路22と第2出力段40（放電手段41、第2定電流回路42）を非動作とし、第2差動回路22と第2出力段40（放電手段41、第2定電流回路42）を動作させるときは、第1差動回路21と第1出力段30（充電手段31、第1定電流回路32）を非動作とする。

【0102】本発明の第1の実施の形態において、このような制御を行う理由は、充電手段31と放電手段41が同時に動作可能であると、それぞれが高い電流供給能力をもっているため、大きなレベルで発振が生じる、ためである。

【0103】そこで、第1出力段30と第2出力段40の少なくともいずれか一方が動作している間は、他方を非動作とすることにより、出力電圧 V_{out} を所望の電圧付近まで速やかに予備充放電することができる。

【0104】次に、本発明の第1の実施の形態における、動作制御信号による予備充放電回路20と出力回路10を含む駆動回路の動作について説明する。

【0105】予備充放電回路20は、所望の電圧付近まで出力端子2の電圧 V_{out} を高速に変化させることができるが、高精度な電圧出力を、安定に供給することはできない。

【0106】そこで、高精度な電圧出力が可能な出力回路10と組み合わせて用いる。出力回路10には、公知の任意の駆動回路を用いることができる。

【0107】任意の1出力期間において、容量性負荷を所望の電圧に駆動する場合、動作制御信号により、出力期間の前半に、予備充放電回路20を動作させて所望の電圧付近まで高速に駆動し、出力期間の後半は、予備充放電回路20を非動作として、出力回路10の動作によって、高い電圧精度で所望の電圧に駆動する。

【0108】出力回路10は、予備充放電回路20を動作させる出力期間の前半において、回路特性に応じて動作または非動作とする。または非動作とする代わりに、出力回路10を入力端子1および出力端子2から遮断する手段を設けてもよい。

【0109】以上のような駆動を行うことにより、出力回路10は、高精度な電圧出力が可能であれば、電流供給能力を抑えた駆動回路を用いることができる。

【0110】以上のように、本発明の第1の実施の形態の駆動回路は、予備充放電回路20により、所望の電圧付近まで高速に駆動することができ、電流供給能力を抑えた高精度な電圧出力が可能な出力回路10を用いることにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0111】〔第2の実施の形態〕図2は、本発明の駆動回路の第2の実施の形態の構成を示す図である。図2には、図1の駆動回路における予備充放電回路20の具体的な回路の一例が示されている。

【0112】図2において、予備充放電回路20は、入力端子1に電圧 V_{in} が与えられたとき、出力電圧 V_{out} を電圧 V_{in} に十分近い電圧レベルまで高速に予備充放電する回路である。また出力回路10は、出力端子2を高い電圧精度で電圧 V_{in} に駆動できる回路である。予備充放電回路20は、第1差動回路21と第1出力段30と、第2差動回路22と第2出力段40とを備えている。

【0113】第1出力段30は、充電手段(311)と第1定電流回路(321)を含み、第2出力段40は放電手段(411)と第2定電流回路(421)を含む。上記構成を更に詳しく説明する。

【0114】第1差動回路21は、PMOSトランジスタ211、212よりなるカレントミラー回路を負荷に備えた差動対NMOSトランジスタ213、214から構成されている。より詳細には、ソースが共通接続され、定電流源215の一端に接続され、ゲートが、入力端子1(V_{in})、出力端子2(V_{out})にそれぞれ接続されたNMOSトランジスタ213、214と、ソースがVDDに接続され、ゲートがPMOSトランジスタ212のゲートに接続され、ドレインがNMOSトランジスタ213のドレインに接続されたPMOSトランジスタ211(カレントミラー回路の電流出力側トランジスタ)と、ソースが高位側電源VDDに接続され、ドレインとゲートが接続されてNMOSトランジスタ214のドレインに接続されたPMOSトランジスタ212(カレントミラー回路の電流入力側トランジスタ)と、定電流源215の他端と低位側電源VSSとの間に接続されるスイッチ521と、を備えている。差動NMOSトランジスタ213、214は、サイズが等しい。NMOSトランジスタ213のドレイン電圧を第1差動回路21の出力とする。

【0115】また第1出力段30では、充電手段として、ドレインが出力端子2に接続され、第1差動回路21の出力電圧がゲートに入力され、ソースがスイッチ531を介して、高位側電源VDDに接続されるPMOSトランジスタ311を備え、第1定電流回路(図1の31)として、一端が出力端子2に接続され、他端がスイッチ532を介して低位側電源VSSに接続された定電流回路321を設け、出力端子2と電源VSSの間に流れる電流を制御する。

【0116】スイッチ521、531、532は、制御端子が動作制御信号に接続されてオン、オフ制御され、スイッチがオフのときに電流が遮断され動作が停止される。各スイッチは電流を遮断する配置であれば図2と異なる配置でも構わない。前述したように、第1差動回路

21と第1出力段30は帰還型の構成であるが位相補償容量は持たない。

【0117】第2差動回路22は、第1差動回路21とは極性を逆とし、NMOSトランジスタ221、222よりなるカレントミラー回路と、互いにサイズが等しいPMOSトランジスタよりなる差動対223、224と、定電流回路225とを備えて構成されている。

【0118】カレントミラー回路において、NMOSトランジスタ222のゲートとドレインが共通接続される。PMOSトランジスタ223、224のゲートにはそれぞれ入力端子1の電圧 V_{in} および出力端子2の電圧 V_{out} が入力される。そして差動PMOSトランジスタ223のドレイン電圧を第2差動回路22の出力とする。

【0119】第2出力段40では、放電手段411として、NMOSトランジスタ411を設け、NMOSトランジスタ411のドレインは出力端子2に接続され、ゲートには第2差動回路22の出力電圧が入力され、ソースが低位側電源VSSに接続されている。また第2定電流回路421を設け、出力端子2と高位側電源VDDとの間に流れる電流を制御する。

【0120】さらに第2差動回路22および第2出力段40は、動作制御信号により制御されるスイッチ522、541、542を含み、スイッチがオフのときに電流が遮断され動作が停止される。各スイッチは電流を遮断する配置であれば図2と異なる配置でも構わない。なお第2差動回路22と第2出力段40は帰還型の構成であるが位相補償容量は持たない。

【0121】また、PMOSトランジスタ311、NMOSトランジスタ411の閾値電圧は、それぞれカレントミラー回路(211、212)、(221、222)を構成するトランジスタの閾値電圧と十分近い大きさであることが好ましい。

【0122】次に、図2を参照して、本発明の第2の実施の形態における予備充放電回路20の動作について説明する。予備充放電回路20は、動作制御信号により、その動作が制御され、第1差動回路21と第1出力段30または第2差動回路22と第2出力段40のいずれか一方が動作しているときには、少なくとも他方は停止するように制御される。

【0123】まず、第1差動回路21と第1出力段30が動作する場合について説明する。なお、以下では、電圧 V_{in} と電圧 V_{out} が等しいときを初期状態として説明する。

【0124】スイッチ521、531、532がオンしている状態の第1差動回路21と第1出力段30は、以下のような動作を行う。

【0125】初期状態から、電圧 V_{in} が高電圧側に変化した場合、差動対NMOSトランジスタ213、214のうちNMOSトランジスタ213のドレイン電流が

10

20

30

40

50

増大し、第1差動回路21の出力電圧（NMOSトランジスタ213のドレイン端子電圧）は急速に低下して、PMOSトランジスタ311のゲート電圧を、引き下げ、PMOSトランジスタ311の充電作用（電源VDD側から出力端子2への電流の供給）により、出力端子2の電圧Voutを引き上げる。

【0126】そして、出力電圧Voutが上昇し始めると、差動対NMOSトランジスタ213、214のうちNMOSトランジスタ214のドレイン電流が増大し、NMOSトランジスタ213のドレイン電流が減少し、第1差動回路21の出力電圧（NMOSトランジスタ213のドレイン電圧）も、一旦低下したレベルから上昇を始める。

【0127】これによって、PMOSトランジスタ311のゲート・ソース間電圧が小さくなるので、PMOSトランジスタ311に流れる電流が減少し、充電作用も速やかに低下していく。

【0128】出力電圧Voutが、入力電圧Vin付近まで上昇すると、PMOSトランジスタ311のゲート・ソース間電圧は、その閾値電圧レベルに到達して、PMOSトランジスタ311がオフし、充電作用が停止する。

【0129】第1差動回路21の出力電圧が更に上昇しても、PMOSトランジスタ311のゲート・ソース間電圧が閾値電圧以下となっていることから、充電作用は停止したままとなる。

【0130】定電流回路321は、出力端子2から低位側電源VSSへ一定の電流で放電するので、過充電により、出力電圧Voutが電圧Vinより高い電圧になった場合には、PMOSトランジスタ311はオフしており充電作用は停止しているため、定電流回路321によって、出力電圧Voutは引き下げられる。

【0131】そして、出力電圧Voutが入力電圧Vin付近まで下がると、PMOSトランジスタ311が再びオンとなって充電作用を生じる。このとき、出力電圧Voutの変動に対して、第1差動回路21と第1出力段30の応答遅延があるため、充電作用と放電作用が交互に繰り返され、出力電圧Voutは、最終的には収束するものの、電圧Vin付近で発振（振動）が長く続く場合もある。

【0132】この発振（振動）を十分小さいレベルに抑えるためには、定電流回路321は十分小さいレベルの電流に設定する。これにより、PMOSトランジスタ311によって充電作用が高速に行われても、定電流回路321による放電作用が緩やかであるため、発振（振動）は、電圧Vin付近で緩やかな変動の小さいレベルに抑えることができる。

【0133】一方、初期状態から電圧Vinが電圧Voutより低電圧側に変化した場合には、第1差動回路21の出力電圧は上昇してPMOSトランジスタ311の

ゲートの電圧を第1電源電位VDD側に引き上げ、PMOSトランジスタ311はオフとなって充電作用を停止する。

【0134】そのため、定電流回路321は、出力電圧Voutを引き下げないように作用するが、十分小さいレベルの電流に設定した場合には、出力電圧Voutを速やかに変動させることはできない。

【0135】このように、第1差動回路21と第1出力段30は、電圧Vinが電圧Voutよりも高電圧側に变化した場合に、出力電圧Voutを電圧Vinに十分近いレベルまで近づけることができる。

【0136】なお、第1差動回路21と第1出力段30は、位相補償容量を持たないため、定電流回路215の電流レベルを十分小さく設定しても、PMOSトランジスタ311を速やかに動作させることができる。

【0137】したがって、出力電圧Voutの変動に対して、PMOSトランジスタ311の応答が速く、過充電も十分小さいレベルに抑えることができる。すなわち位相補償容量を設けないことにより、出力電圧Voutの変動に対する第1差動回路21とPMOSトランジスタ311の応答を速めて過充電を小さく抑え、定電流回路321を十分小さいレベルの電流に設定することにより、発振（振動）を緩やかな変動の小さいレベルに抑えることができる。

【0138】さらに定電流回路321、215を十分小さな電流レベルに抑えることにより、消費電力も抑えることができる。

【0139】なお、第1差動回路21と第1出力段30は、出力電圧Voutを電圧Vinに十分近いレベルまで速やかに予備充電できればよく、十分小さいレベルの発振（振動）が残っても差し支えない。

【0140】次に、本発明の第1の実施の形態において、第2差動回路22と第2出力段40が動作する場合について説明する。なお、以下では、電圧Vinと電圧Voutが等しいときを初期状態として説明する。

【0141】スイッチ522、541、542がオンしている状態の第2差動回路22と第2出力段40は、以下のような動作を行う。

【0142】初期状態から電圧Vinが低電圧側に变化した場合、第2差動回路22の出力電圧は急速に上昇して、NMOSトランジスタ411のゲート電圧を第1電源VDD側に引き上げ、NMOSトランジスタ411がオンし、放電作用により、出力端子2の電圧Voutを第2電源VSS側に引き下げないように作用する。

【0143】そして電圧Voutが低下し始めると、第2差動回路22の出力電圧も一旦上昇したレベルから低下を始める。これによって、NMOSトランジスタ411のゲート・ソース間電圧が小さくなるので、NMOSトランジスタ411に流れる電流が減少し、放電作用も速やかに低下していく。

【0144】電圧 V_{out} が電圧 V_{in} 付近まで低下すると、NMOSトランジスタ411のゲート・ソース間電圧は閾値電圧レベルに到達して、NMOSトランジスタ411がオフし、放電作用が停止する。第2差動回路22の出力電圧が更に低下しても、NMOSトランジスタ411のゲート・ソース間電圧が閾値電圧以下となっているので、放電作用は停止したままとなる。

【0145】定電流回路421は、第1の電源VDDから出力端子2へ一定の電流で充電するので過放電により出力電圧 V_{out} が電圧 V_{in} より低い電圧になった場合には、NMOSトランジスタ411がオフしており、放電作用は停止しているため、定電流回路421によって、出力電圧 V_{out} は引き上げられる。

【0146】そして出力電圧 V_{out} が電圧 V_{in} 付近まで上昇すると、NMOSトランジスタ411が再びオンとなって放電作用を生じる。ここでも、出力電圧 V_{out} の変動に対して、第2差動回路22と第2出力段40の応答遅延があるため、充電作用と放電作用が交互に繰り返され、出力電圧 V_{out} は、最終的には収束するものの、電圧 V_{in} 付近で発振（振動）が長く続く場合もある。

【0147】この振動を十分小さいレベルに抑えるためには、定電流回路421を十分小さいレベルの電流に設定する。これによりNMOSトランジスタ411によって放電作用が高速に行われても、定電流回路421による充電作用が緩やかであるため、振動を電圧 V_{in} 付近で緩やかな変動の小さいレベルに抑えることができる。

【0148】一方、初期状態から、入力電圧 V_{in} が、出力電圧 V_{out} より高電圧側に変化した場合には、第2差動回路22の出力電圧は低下し、NMOSトランジスタ411のゲート電圧を引き下げ、NMOSトランジスタ411はオフとなって、放電作用を停止する。

【0149】そのため、定電流回路421は、出力電圧 V_{out} を引き上げるように作用するが、十分小さいレベルの電流に設定された場合には、出力電圧 V_{out} を速やかに変動させることはできない。

【0150】このように、第2差動回路22と第1出力段40は、入力電圧 V_{in} が出力電圧 V_{out} よりも低電圧側に変化した場合に、出力電圧 V_{out} を入力電圧 V_{in} に十分近いレベルまで近づけることができる。

【0151】なお、第2差動回路22と第2出力段40は、位相補償容量を持たないため、定電流回路225の電流レベルを十分小さく設定しても、NMOSトランジスタ411を速やかに動作させることができる。

【0152】したがって、出力電圧 V_{out} の変動に対して、NMOSトランジスタ411の応答が速く、過充電も十分小さいレベルに抑えることができる。すなわち位相補償容量を設けないことにより、出力電圧 V_{out} の変動に対する第2差動回路22とNMOSトランジスタ411の応答を速めて過放電を小さく抑え、定電流回

路421を十分小さいレベルの電流に設定することにより、発振（振動）を緩やかな変動の小さいレベルに抑えることができる。

【0153】さらに、定電流回路421、225を十分小さな電流レベルに抑えることにより消費電力も抑えることができる。なお第2差動回路22と第1出力段40は、出力電圧 V_{out} を電圧 V_{in} に十分近いレベルまで速やかに予備放電できればよく、十分小さいレベルの発振（振動）が残っても差し支えない。

【0154】次に、本発明の第2の実施の形態における動作制御信号による予備充放電回路20の動作について説明する。

【0155】予備充放電回路20の第1差動回路21、第1出力段30および第2差動回路22、第2出力段40はそれぞれ電流を遮断するスイッチ521、531、532およびスイッチ522、541、542を含み、動作制御信号により、各スイッチのオン、オフを制御して、予備充放電回路20の動作、非動作を制御する。

【0156】予備充放電回路20を非動作とする場合に、アイドリング電流が全て遮断され、電力を消費しないようにさせることができる。その際、電圧 V_{in} および電圧 V_{out} に影響を与えることはない。

【0157】また、動作制御信号によって、予備充放電回路20の動作時においても、第1差動回路21と第1出力段30または第2差動回路22と第2出力段40のどちらか一方が動作しているときには、少なくとも他方は停止するように制御する。

【0158】本発明の第2の実施の形態において、このように制御する理由は、PMOSトランジスタ311とNMOSトランジスタ411が同時に動作可能であると、それぞれが高い電流供給能力で動作可能であるため、大きなレベルで発振が生じ、消費電力も増加するからである。

【0159】第1出力段30と第2出力段40の少なくともどちらか一方が動作している間は、他方を非動作とすることにより、出力電圧 V_{out} を電圧 V_{in} 付近まで速やかに予備充放電することができる。

【0160】次に、本発明の第2の実施の形態において、動作制御信号による予備充放電回路20と出力回路10を含む駆動回路の動作について説明する。

【0161】予備充放電回路20は、電圧 V_{in} 付近まで出力端子2の電圧 V_{out} を高速に変化させることができるが、高精度な電圧出力を安定に供給することはできない。そこで高精度な電圧出力が可能な出力回路10と組み合わせて用いる。出力回路10には任意の従来駆動回路を用いることができる。任意の1出力期間において容量性負荷を任意の電圧 V_{in} に駆動する場合、動作制御信号により出力期間の前半に予備充放電回路20を動作させて電圧 V_{in} 付近まで高速に駆動し、出力期間の後半は予備充放電回路20を非動作とし出力回路10

の動作によって高い電圧精度で電圧 V_{in} に駆動する。

【0162】出力回路10は、予備充放電回路20を動作させる出力期間の前半において、回路特性に応じて動作または非動作とする。あるいは、非動作とする代わりに、出力回路10を入力端子1および出力端子2から遮断する手段を設けてもよい。以上のような駆動を行うことにより、前記出力回路は高精度な電圧出力が可能であれば電流供給能力を抑えた駆動回路を用いることができる。

【0163】なお、予備充放電回路20は、出力電圧 V_{out} を電圧 V_{in} に十分近いレベルにまで予備充放電する回路であり、高精度な電圧出力は必ずしも求められないので、厳密な設計は必要なく設計も容易に行うことができる。したがって、各トランジスタの閾値電圧が多少ばらつきをもつ場合でも設計が可能である。この場合、予備充放電によって駆動される電圧が多少ばらつくが、高い電圧精度で駆動できる出力回路10と組み合わせることで高い電圧精度で高速駆動が可能である。また、PMOSトランジスタ311またはNMO
Sトランジスタ411は、チャネル長 L に対するチャネル幅 W の比率 (W/L 比) を高くすることにより、充電作用または放電作用をより高速にすることができる。

【0164】また、予備充放電回路20の動作、非動作の切替を短い期間に行っても、第1差動回路21と第1出力段30、第2差動回路22と第2出力段40は小さいレベルの電流で高速動作可能であるため、動作開始も速やかに行うことができ、それによる消費電力の増加も生じない。したがって予備充放電回路20は、低消費電力で高速動作が可能である。

【0165】以上説明したように、図2の駆動回路は、予備充放電回路20により所望の電圧付近まで高速に駆動することができ、電流供給能力を抑えた高精度な電圧出力が可能な出力回路10を用いることにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0166】〔第3の実施の形態〕図3は、本発明の駆動回路の第3の実施の形態の構成を示す図である。本発明の第3の実施の形態は、図1の第1の実施の形態の予備充放電回路20の構成を変更したものである。

【0167】前記第1の実施の形態における予備充放電回路20が、2つの出力段に対してそれぞれ独立な差動回路を備えた構成とされているのに対し、本発明の第3の実施の形態においては、予備充放電回路20では、2つの出力段に対して、それぞれに作用を与える差動回路を備えた構成としている。

【0168】図3を参照すると、本発明の第3の実施の形態において、駆動回路は、入力端子1および出力端子2と、入力端子1の電圧 V_{in} を受け、出力端子2に所望の電圧を出力する出力回路10と、出力端子2の電圧 V_{out} を所望の電圧付近まで高速に変動させること

できる予備充放電回路20と、予備充放電回路20および出力回路10の動作、非動作を制御する動作制御信号とを備えている。

【0169】予備充放電回路20は、差動回路23と、第1出力段30と、第2出力段40とを備えている。

【0170】第1出力段30は、充電手段31と、第1定電流回路32とを備え、第2出力段40は、放電手段41と第2定電流回路42とを備えて構成されている。

【0171】予備充放電回路20は帰還型の構成とされ、差動回路23は、電圧 V_{in} と電圧 V_{out} の電圧差の変動に応じて動作し、その出力を受けて充電手段31および放電手段41も動作し、出力電圧 V_{out} を変化させる。差動回路23は、充電手段31および放電手段41それぞれに作用を与える出力を少なくとも1つ備え、異なる複数の出力を備えていてもよい。

【0172】充電手段31は、高い電流供給能力で出力電圧 V_{out} を引き上げるように作用し、放電手段41は、高い電流供給能力で出力電圧 V_{out} を引き下げるように作用する。

【0173】また第1定電流回路32は、一定の電流供給能力で、出力電圧 V_{out} を引き下げるように作用し、第2定電流回路42は、一定の電流供給能力で出力電圧 V_{out} を引き上げるように作用する。本発明の第3の実施の形態においても、予備充放電回路20は、帰還型の構成であるが、位相補償手段は設けない。

【0174】次に、本発明の第3の実施の形態における、動作制御信号による予備充放電回路20の動作について説明する。

【0175】予備充放電回路20の差動回路23、第1出力段30（充電手段31、第1定電流回路32）および第2出力段40（放電手段41、第2定電流回路42）は、それぞれ電流を遮断するスイッチを含み、動作制御信号により、各スイッチのオン、オフを制御して予備充放電回路20の動作、非動作を制御する。これにより、予備充放電回路20を非動作とする場合に電力を消費しないようにさせることができる。

【0176】また動作制御信号は、予備充放電回路20の動作時において、第1出力段30（充電手段31、第1定電流回路32）、または第2出力段40（放電手段41、第2定電流回路42）のどちらか一方を動作させるときは、他方を非動作とする。

【0177】このため、予備充放電回路20の動作は、差動回路23と第1出力段30が動作する場合または差動回路23と第2出力段40が動作する場合のいずれかである。

【0178】これは、図1を参照して説明した前記第1の実施の形態において予備充放電回路20の第1差動回路21と第1出力段30が動作する場合、または第2差動回路22と第2出力段40が動作する場合と同じである。

【0179】したがって、本発明の第3の実施の形態の予備充放電回路20は、図1の前記第1の実施の形態の予備充放電回路20と同様の作用効果を有する。すなわち、本発明の第3の実施の形態において、予備充放電回路20は、差動回路23と第1出力段30が動作するときは、電圧 V_{out} が所望の電圧より低い電圧のときに充電手段31により出力電圧 V_{out} が高い電流供給能力で所望の電圧付近まで引き上げられる。

【0180】また、差動回路23と第2出力段40が動作するときは、電圧 V_{out} が所望の電圧より高い電圧のときに放電手段41により出力電圧 V_{out} が高い電流供給能力で所望の電圧付近まで引き下げられる。

【0181】本発明の第3の実施の形態は、位相補償手段を設けないことにより、出力電圧 V_{out} の変動に対する応答を速めて出力電圧 V_{out} を速やかに所望の電圧付近まで近づけることができ、さらに過充電または過放電も小さく抑えることができる。また第1定電流回路32および第2定電流回路42を十分小さいレベルの電流に設定することにより、発振（振動）を緩やかな変動の小さいレベルに抑えることができる。

【0182】さらに、第1定電流回路32および第2定電流回路42を十分小さな電流レベルに抑えたことにより消費電力も抑えることができる。なお予備充放電回路20は、出力電圧 V_{out} を所望の電圧に十分近いレベルまで速やかに予備充放電できればよく、十分小さいレベルの発振（振動）が残っても差し支えない。

【0183】また、差動回路23もアイドリング電流を制御する定電流回路を含んで構成する。これにより差動回路23、第1出力段30、第2出力段40に流れる電流はそれぞれ各定電流回路により制御され、それぞれのアイドリング電流を十分小さく設定することにより予備充放電回路20の低消費電力を実現することができる。なお、アイドリング電流を十分小さく抑えても高速動作が可能であることは上記に説明した通りである。また、差動回路23、第1出力段30、第2出力段40はそれぞれ動作制御信号により制御されるスイッチを含み、スイッチの制御によってアイドリング電流を遮断することにより、前記予備充放電回路の動作を停止させることができる。そして前記予備充放電回路の動作、非動作を頻繁に切り替える場合も、速やかに動作させることができ、動作、非動作の切り替えによる消費電力の増加も生じない。

【0184】次に、本発明の第3の実施の形態における、動作制御信号による予備充放電回路20と出力回路10を含む駆動回路の動作について説明する。

【0185】予備充放電回路20は、所望の電圧付近まで出力端子2の電圧 V_{out} を高速に変化させることができるが、高精度な電圧出力を安定に供給することはできない。そこで高精度な電圧出力が可能な出力回路10と組み合わせて用いる。なお、出力回路10は、任意の

公知の駆動回路を用いることができる。

【0186】任意の1出力期間において容量性負荷を所望の電圧に駆動する場合、動作制御信号により出力期間の前半に、予備充放電回路20を動作させて所望の電圧付近まで高速に駆動し、出力期間の後半は、予備充放電回路20を非動作とし、出力回路10の動作によって高い電圧精度で所望の電圧に駆動する。

【0187】出力回路10は、予備充放電回路20を動作させる出力期間の前半において、回路特性に応じて動作または非動作とする。または、非動作とする代わりに、出力回路10を入力端子1および出力端子2から遮断する手段を設けてもよい。

【0188】以上のような駆動を行うことにより、出力回路10は高精度な電圧出力が可能であれば電流供給能力を抑えた駆動回路を用いることができる。

【0189】以上のように、図3に示した本発明の第3の実施の形態の駆動回路は、予備充放電回路20により、所望の電圧付近まで高速に駆動することができ、電流供給能力を抑えた高精度な電圧出力が可能な出力回路10を用いることにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0190】〔第4の実施の形態〕図4は、本発明の駆動回路の第4の実施の形態の構成を示す図であり、図3の駆動回路における予備充放電回路20の具体的な回路の一例を示す図である。図4を参照すると、予備充放電回路20は、入力端子1に電圧 V_{in} が与えられたとき、出力電圧 V_{out} を電圧 V_{in} に十分近い電圧レベルまで高速に予備充放電する回路である。

【0191】図4において、予備充放電回路20は、差動回路23と、第1出力段30と第2出力段40と、を備えて構成される。さらに、第1出力段30は、充電手段（311）と第1定電流回路（321）を含み、第2出力段40は、放電手段（411）と、第2定電流回路（421）と、を備えている。上記構成を更に詳しく説明する。

【0192】差動回路23は、PMOSトランジスタ211、212よりなるカレントミラー回路と、互いにサイズが等しいNMOSトランジスタよりなる差動対213、214と、定電流回路215とを備えて構成されている。

【0193】カレントミラー回路において、PMOSトランジスタ212のゲートとドレインが共通接続される。NMOSトランジスタ213、214のゲートにはそれぞれ入力端子1の電圧 V_{in} および出力端子2の電圧 V_{out} が入力される。そして差動NMOSトランジスタ213のドレイン電圧を差動回路23の出力とする。この差動回路23は、図2に示した差動回路21と同じ構成であり、差動回路23の出力は充電手段31と放電手段41に対して同じ出力となっている。

【0194】また第1出力段30は、充電手段31とし

て、PMOSトランジスタ311を備え、PMOSトランジスタ311のドレインは出力端子2に接続され、ゲートは差動回路23の出力電圧が入力され、ソースはスイッチ531を介して電源電圧VDDが供給される。第1定電流回路32（図3参照）として、第1定電流回路321を備えており、出力端子2と電源VSS（ $VSS < VDD$ ）の間に流れる電流を制御する。

【0195】第2出力段40は、放電手段41としてNMOSトランジスタ411を設け、NMOSトランジスタ411のドレインは出力端子2に接続され、ゲートに第2差動回路22の出力電圧が入力され、ソースは第2の電源電圧VSSに接続される。また第2定電流回路42（図3）として、定電流回路421を設け、出力端子2と電源電圧VDDとの間に流れる電流を制御する。この第1出力段30および第2出力段40も、図2に示したものと、同じ構成である。

【0196】さらに差動回路23、第1出力段30、第2出力段40は、動作制御信号により制御されるスイッチ522、531、532、541、542を含み、スイッチがオフのときに電流が遮断され動作が停止される。なお予備充放電回路20は帰還型の構成であるが位相補償容量は持たない。

【0197】また、PMOSトランジスタ311の閾値電圧は、カレントミラー回路（211、212）を構成するトランジスタの閾値電圧と十分近い大きさであることが好ましい。一方、NMOSトランジスタ411は、電圧Vinと電圧Voutが等しいときの差動回路の出力電圧のときにゲート・ソース間電圧が閾値電圧に十分近い大きさであることが好ましい。

【0198】次に、本発明の第4の実施の形態における予備充放電回路20の動作について説明する。予備充放電回路20の動作は、動作制御信号により制御され、差動回路23は予備充放電回路20の動作時に常に動作するが、第1出力段30および第2出力段40はどちらか一方が動作しているときに他方は停止するように制御される。まず差動回路23と第1出力段30が動作する場合について説明する。以下では、電圧Vinと電圧Voutが等しいときを初期状態として説明する。

【0199】差動回路23と第1出力段30は、以下のような動作を行う。差動回路23は、図2の差動回路21と同じ動作を行い、初期状態から電圧Vinが高電圧側に变化した場合、差動回路23の出力電圧は急速に低下し、第1出力段30のPMOSトランジスタ311のゲート電圧を引き下げる。これによりPMOSトランジスタ311は充電作用を生じ、電圧Voutは第1の電源VDD側に引き上げられる。そして電圧Voutが上昇し始めると、差動回路23の出力電圧も一旦低下したレベルから上昇を始める。

【0200】これによってPMOSトランジスタ311のゲート・ソース間電圧が小さくなるので、充電作用も

速やかに低下していく。

【0201】出力電圧Voutが入力電圧Vin付近まで上昇すると、PMOSトランジスタ311のゲート・ソース間電圧は閾値電圧レベルに到達して、充電作用が停止する。

【0202】差動回路23の出力電圧が更に上昇しても、PMOSトランジスタ311のゲート・ソース間電圧が閾値電圧以下となっているので、充電作用は停止したままとなる。

【0203】定電流回路321は、出力端子2から第2の電源VSSへ、一定の電流で放電するので、過充電により出力電圧Voutが電圧Vinより高い電圧になった場合には、充電作用は停止しているため、定電流回路321によって、出力電圧Voutは引き下げられる。

【0204】そして、出力電圧Voutが電圧Vin付近まで下がると、PMOSトランジスタ311が再びオンとなって、充電作用を生じる。このとき、出力電圧Voutの変動に対して差動回路23と第1出力段30の応答遅延があるため、充電作用と放電作用が交互に繰り返され、出力電圧Voutは、最終的には収束するものの、電圧Vin付近で発振（振動）が長く続く場合もある。

【0205】この発振（振動）を十分小さいレベルに抑えるためには、定電流回路321を十分小さいレベルの電流に設定する。これによりPMOSトランジスタ311によって充電作用が高速に行われても、定電流回路321による放電作用が緩やかであるため、発振（振動）は電圧Vin付近で緩やかな変動の小さいレベルに抑えることができる。

【0206】一方、初期状態から電圧Vinが電圧Voutより低電圧側に变化した場合、差動回路23の出力電圧は上昇し、第1出力段30のPMOSトランジスタ311のゲート電圧を引き上げる。これにより第1出力段30のPMOSトランジスタ311はオフとなって充電作用を停止する。そのため定電流回路321は出力電圧Voutを引き下げようとするが、十分小さいレベルの電流に設定した場合には、出力電圧Voutを速やかに変動させることはできない。

【0207】このように、差動回路23と第1出力段30は、電圧Vinが電圧Voutより高電圧側に变化した場合に、出力電圧Voutを、電圧Vinに十分近いレベルまで近づけることができる。

【0208】なお、差動回路23と第1出力段30とも位相補償容量を持たないため、定電流回路215の電流レベルを十分小さく設定しても、PMOSトランジスタ311を速やかに動作させることができる。

【0209】したがって、出力電圧Voutの変動に対して、PMOSトランジスタ311の応答が速く、過充電も十分小さいレベルに抑えることができる。すなわち位相補償容量を設けないことにより出力電圧Voutの

変動に対する差動回路 23 と PMOS トランジスタ 311 の応答を速めて過充電を小さく抑え、定電流回路 321 を十分小さいレベルの電流に設定することにより、発振（振動）を緩やかな変動の小さいレベルに抑えることができる。

【0210】さらに、定電流回路 215、321 を十分小さな電流レベルに抑えることにより、消費電力も抑えることができる。

【0211】なお予備充放電回路 20 は、出力電圧 V_{out} を電圧 V_{in} に十分近いレベルまで速やかに予備充電できればよく、差動回路 23 と第 1 出力段 30 による出力電圧 V_{out} に十分小さいレベルの発振（振動）が残っても差し支えない。

【0212】次に、本発明の第 4 の実施の形態における差動回路 23 と第 2 出力段 40 が動作する場合について説明する。

【0213】初期状態から電圧 V_{in} が低電圧側に变化した場合、差動回路 23 の出力電圧は上昇する。これにより、第 1 出力段 40 の NMOS トランジスタ 411 のゲート電圧は上昇し、NMOS トランジスタ 411 の放電作用により電圧 V_{out} を引き下げるように作用する。

【0214】そして出力電圧 V_{out} が低下し始めると、差動回路 23 の出力電圧も一旦上昇したレベルから低下を始める。これによって、NMOS トランジスタ 411 のゲート・ソース間電圧が小さくなるので、放電作用も速やかに低下していく。

【0215】出力電圧 V_{out} が入力電圧 V_{in} 付近まで低下すると、NMOS トランジスタ 411 のゲート・ソース間電圧は閾値電圧レベルに到達して、放電作用が停止する。

【0216】差動回路 23 の出力電圧が更に低下しても、NMOS トランジスタ 411 のゲート・ソース間電圧が閾値電圧以下となっているので、放電作用は停止したままとなる。定電流回路 421 は、電源電圧 V_{DD} から出力端子へ一定の電流で充電するので、過放電により出力電圧 V_{out} が電圧 V_{in} より低い電圧になった場合には、放電作用は停止しているため、定電流回路 421 によって出力電圧 V_{out} は引き上げられる。

【0217】そして、出力電圧 V_{out} が入力電圧 V_{in} 付近まで上昇すると、NMOS トランジスタ 411 が再びオンとなって放電作用を生じる。ここでも、出力電圧 V_{out} の変動に対して、差動回路 23 と第 2 出力段 40 の応答遅延があるため、充電作用と放電作用が交互に繰り返され、出力電圧 V_{out} は、最終的に収束するものの、電圧 V_{in} 付近で発振（振動）が長く続く場合もある。この振動を十分小さいレベルに抑えるためには、定電流回路 421 を十分小さいレベルの電流に設定する。これにより、NMOS トランジスタ 411 によって放電作用が高速に行われても、定電流回路 421 によ

る充電作用が緩やかであるため、発振（振動）を電圧 V_{in} 付近で緩やかな変動の小さいレベルに抑えることができる。

【0218】一方、初期状態から電圧 V_{in} が電圧 V_{out} より高電圧側に变化した場合、差動回路 23 の出力電圧は低下する。これにより、第 2 出力段 40 の NMOS トランジスタ 411 はオフとなって放電作用を停止する。

【0219】そのため、定電流回路 421 は、出力電圧 V_{out} を第 1 の電源 V_{DD} 側に引き上げるように作用するが、十分小さいレベルの電流に設定された場合には、出力電圧 V_{out} を速やかに変動させることはできない。

【0220】このように、差動回路 23 と第 1 出力段 40 は、電圧 V_{in} が電圧 V_{out} より低電圧側に变化した場合に、出力電圧 V_{out} を電圧 V_{in} に十分近いレベルまで近づけることができる。

【0221】なお、差動回路 23 と第 2 出力段 40 は位相補償容量を持たないため、定電流回路 215 の電流レベルを十分小さく設定しても、NMOS トランジスタ 411 を速やかに動作させることができる。

【0222】したがって出力電圧 V_{out} の変動に対して、NMOS トランジスタ 411 の応答が速く、過放電も十分小さいレベルに抑えることができる。すなわち、本発明の第 4 の実施の形態においては、位相補償容量を設けないことにより出力電圧 V_{out} の変動に対する差動回路 23 と NMOS トランジスタ 411 の応答を速めて過放電を小さく抑え、定電流回路 421 を十分小さいレベルの電流に設定することにより、発振（振動）を緩やかな変動の小さいレベルに抑えることができる。

【0223】さらに定電流回路 215、421 を十分小さな電流レベルに抑えることにより、消費電力も抑えることができる。

【0224】なお、予備充放電回路 20 は、出力電圧 V_{out} を電圧 V_{in} に十分近いレベルまで速やかに予備放電できればよく、差動回路 23 と第 2 出力段 40 による出力電圧 V_{out} に十分小さいレベルの発振（振動）が残っても差し支えない。

【0225】次に、本発明の第 4 の実施の形態における動作制御信号による予備充放電回路 20 の動作について説明する。予備充放電回路 20 の差動回路 23、第 1 出力段 30、第 2 出力段 40 はそれぞれ電流を遮断するスイッチ 521、531、532、541、542 を含み、動作制御信号により各スイッチのオン、オフを制御して予備充放電回路 20 の動作、非動作を制御する。これにより予備充放電回路 20 を非動作とする場合に、アイドル電流が全て遮断され、電力を消費しないようにさせることができる。これにより入力電圧 V_{in} および出力電圧 V_{out} に影響を与えることはない。

【0226】動作制御信号は、予備充放電回路 20 の動

作時においても、第1出力段30または第2出力段40のどちらか一方が動作しているときには、少なくとも他方は停止するように制御される。これにより、出力電圧 V_{out} が入力電圧 V_{in} 付近に至るまで、大きな発振を生じることなく、速やかに予備充放電することができる。

【0227】次に、本発明の第4の実施の形態において、動作制御信号による予備充放電回路20と出力回路10を含む駆動回路について説明する。

【0228】予備充放電回路20は、電圧 V_{in} 付近まで出力端子2の出力電圧 V_{out} を高速に変化させることができるが、高精度な電圧出力を安定に供給することはできない。そこで高精度な電圧出力が可能な出力回路10と組み合わせて用いる。なお、出力回路10には任意の公知の駆動回路を用いることができる。

【0229】任意の1出力期間において、容量性負荷を任意の電圧 V_{in} に駆動する場合、動作制御信号により出力期間の前半に、予備充放電回路20を動作させて電圧 V_{in} 付近まで高速に駆動し、出力期間の後半は、予備充放電回路20を非動作とし、出力回路10の動作によって高い電圧精度で電圧 V_{in} に駆動する。

【0230】なお出力回路10は、予備充放電回路20を動作させる出力期間の前半において、回路特性に応じて動作または非動作とする。または非動作とする代わりに出力回路10を入力端子1および出力端子2から遮断する手段を設けてもよい。

【0231】以上のような駆動を行うことにより、前記出力回路は高精度な電圧出力が可能であれば電流供給能力を抑えた駆動回路を用いることができる。

【0232】予備充放電回路20は、出力電圧 V_{out} を入力電圧 V_{in} に十分近いレベルにまで予備充放電する回路であり、高精度な電圧出力は、必ずしも求められないので、厳密な設計は必要なく設計も容易に行うことができる。したがって各トランジスタの閾値電圧が多少ばらつきをもつ場合でも設計が可能である。

【0233】この場合、予備充放電によって駆動される電圧が多少ばらつくが、高い電圧精度で駆動できる出力回路10と組み合わせて用いることにより、高い電圧精度で高速駆動が可能である。

【0234】また、トランジスタ311または411は、チャンネル長 L に対するチャンネル幅 W の比率 (W/L 比) を高くすることにより、充電作用または放電作用をより高速にすることができる。

【0235】また、予備充放電回路20の動作、非動作の切替を短い期間に行っても、差動回路23、第1出力段30、第2出力段40は小さいレベルの電流で高速動作可能であるため、動作開始も速やかに行うことができ、それによる消費電力の増加も生じない。したがって予備充放電回路20は、低消費電力で高速動作が可能である。

【0236】以上のように、図4に示した本発明の第4の実施の形態の駆動回路は、予備充放電回路20により所望の電圧付近まで高速に駆動することができ、電流供給能力を抑えた高精度な電圧出力が可能な出力回路10を用いることにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0237】差動回路23は、図2に示す差動回路22と同じ構成でも、同様の作用と効果を生じることが、明らかである。また図4では、充電手段31および放電手段41に作用を与える差動回路23の出力電圧が共通の例を示したが、差動回路23が、充電手段31および放電手段41に個別に作用を与える複数の異なる出力電圧をもつような構成でもよい。

【0238】〔第5の実施の形態〕図5は、本発明の駆動回路の第5の実施の形態を説明するための図である。図5には、図2に示した駆動回路の駆動方法の具体例が示されている。

【0239】この実施の形態では、奇数番目の出力期間において、任意の中間電圧 V_m 以上電圧 V_{DD} 以下の電圧を駆動し、偶数番目の出力期間において、電圧 V_m 未満電圧 V_{SS} 以上の電圧を駆動する駆動方法について説明する。

【0240】図5(a)は、図2における予備充放電回路20の各スイッチと出力回路10の制御方法を示す。

【0241】図5(b)は、入力端子1に与えられる電圧が任意の奇数番目の出力期間のとき電圧 V_{in1} 、次の偶数番目の出力期間のとき電圧 V_{in2} であるときの、同図5(a)の制御による2出力期間の出力電圧 V_{out} の電圧波形を示す。

【0242】図5の駆動方法では、奇数番目および偶数番目出力期間(時間 t_0-t_2 および時間 t_2-t_4) それぞれの前半に予備充放電期間(時間 t_0-t_1 および時間 t_2-t_3) を設ける。

【0243】奇数番目出力期間の予備充電期間(時間 t_0-t_1) では、電圧 V_{out} を引き上げるので、スイッチ521、531、532をオンとして、第1差動回路21および第1出力段30を動作させ、スイッチ522、541、542をオフとして第2差動回路22および第2出力段40は停止させる。これにより電圧 V_{out} は電圧 V_{in1} 付近まで高速に引き上げられる。

【0244】予備充電期間終了後は、スイッチ521、531、532をオフとして、第1差動回路21および第1出力段30も停止させる。

【0245】そして、電圧 V_{in1} 付近まで予備充電された電圧 V_{out} を、出力回路10により、高い電圧精度で電圧 V_{in1} に駆動する。

【0246】一方、偶数番目出力期間の予備放電期間(時間 t_2-t_3) では、出力電圧 V_{out} を引き下げるので、スイッチ522、541、542をオンとして、第2差動回路22および第2出力段40を動作さ

せ、スイッチ 521、531、532 をオフとして、第 1 差動回路 21 および第 1 出力段 30 は停止させる。これにより、出力電圧 V_{out} は、電圧 V_{in2} 付近まで高速に引き下げられる。

【0247】予備充電期間終了後は、スイッチ 522、541、542 をオフとして、第 2 差動回路 22 および第 2 出力段 40 も停止させる。そして、電圧 V_{in2} 付近まで予備充電された電圧 V_{out} を、出力回路 10 により、高い電圧精度で電圧 V_{in2} に駆動する。

【0248】なお、それぞれの予備充電期間における出力回路 10 の制御は、回路特性に応じて動作または非動作とする。または非動作とする代わりに出力回路 10 を入力端子 1 および出力端子 2 から遮断してもよい。

【0249】以上のような駆動方法により、それぞれの出力期間において電圧 V_{out} を電圧 V_{in1} または電圧 V_{in2} に高い電圧精度で高速に駆動することができる。なおそれぞれの予備充電期間において予備充電回路 20 は高速に動作するので、予備充電期間を短くすることができる。

【0250】また予備充電回路 20 の消費電力は十分小さく、しかも予備充電期間だけしか電力を消費しない。

【0251】一方、出力回路 10 は、予備充電期間に電圧 V_{in} 付近まで駆動された電圧を、予備充電期間終了後に高い電圧精度で、電圧 V_{in} に駆動するだけでよいことから、高い電流供給能力は必要ない。そのため、出力回路 10 には、低消費電力の駆動回路を用いることができる。

【0252】以上のように、図 2 に示した駆動回路を、図 5 に示した駆動方法に従って動作させることにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0253】また、同様の駆動方法を、図 4 の駆動回路で行う場合の、予備充電回路 20 の各スイッチと出力回路 10 の制御方法を、図 6 に示す。

【0254】図 4 に示した差動回路 23 と第 1 出力段 30 の制御動作は、図 2 の第 1 差動回路 21 と第 1 出力段 30 と同様であり、図 4 の差動回路 23 と第 2 出力段 40 の制御動作は図 2 の第 2 差動回路 22 と第 2 出力段 40 と同様である。

【0255】図 6 では、図 2 の第 1 差動回路 21 と第 1 出力段 30 の動作と同じ制御方法で図 4 の差動回路 23 と第 1 出力段 30 を動作させ、図 2 の第 2 差動回路 22 と第 2 出力段 40 の動作と同じ制御方法で図 4 の差動回路 23 と第 2 出力段 40 を動作させる。

【0256】すなわち、差動回路 23 のスイッチ 521 は奇数番目および偶数番目出力期間の予備充電期間ともオンとし、第 1 出力段 30 のスイッチ 531、532 は奇数番目出力期間の予備充電期間のみオンとし、第 2 出力段 40 のスイッチ 541、542 は偶数番目出力

期間の予備充電期間のみオンとする。

【0257】出力回路 10 は、図 5 (a) と同様の制御を行う。これにより、出力電圧 V_{out} は、図 5 (b) と同様の電圧波形となる。すなわち図 6 の制御方法で図 4 の駆動回路を動作させると、図 5 の制御方法で図 2 の駆動回路を動作させるのと同様の駆動を行うことができる。

【0258】[第 6 の実施の形態] 図 7 は、本発明の駆動回路の第 6 の実施の形態を示す図である。図 7 には、図 2 の駆動回路の駆動方法の別の具体例が示されている。この実施の形態では、連続する出力期間において任意の電圧を任意の順番で駆動する駆動方法について説明する。

【0259】図 7 (a) は、図 2 の駆動回路における予備充電回路 20 の各スイッチと出力回路 10 の制御方法を示す図である。図 7 (b) は、入力端子 1 に与えられる電圧が電圧 V_{in2} から電圧 V_{in1} (但し、 $V_{in1} > V_{in2}$) に切り替わった直後の出力期間において、図 7 (a) の制御を行う場合の電圧 V_{out} の電圧波形 (電圧波形 1) を示す図である。図 7 (b) には、電圧 V_{in1} から電圧 V_{in2} に切り替わった直後の出力期間において、図 7 (a) の制御を行う場合の、出力端子 2 の電圧 V_{out} の電圧波形 (電圧波形 2) も併せて示す。

【0260】図 7 を参照すると、この駆動方法では、任意の電圧を任意の順番で駆動できるように、1 出力期間 (時間 $t_0 - t_3$) の前半に、予備充電期間 (時間 $t_0 - t_1$) と予備放電期間 (時間 $t_1 - t_2$) を連続して設ける。

【0261】予備充電期間では、スイッチ 521、531、532 をオンとして第 1 差動回路 21 と第 1 出力段 30 を動作させ、スイッチ 522、541、542 をオフとして第 2 差動回路 22 と第 2 出力段 40 は停止させる。

【0262】予備放電期間では、スイッチ 522、541、542 をオンとして第 2 差動回路 22 と第 2 出力段 40 を動作させ、スイッチ 521、531、532 をオフとして第 1 差動回路 21 と第 1 出力段 30 は停止させる。

【0263】予備充電期間 (時間 $t_0 - t_2$) 終了後は、スイッチ 521、522、531、532、541、542 を全てオフとして、予備充電回路 20 を停止させる。

【0264】出力回路 10 は、少なくとも予備充電期間終了後は動作させ、予備充電期間では、出力回路 10 の回路特性に応じて動作または非動作とする。または非動作とする代わりに、出力回路 10 を入力端子 1 および出力端子 2 から遮断してもよい。

【0265】図 7 において、入力端子 1 に与えられる電圧が、電圧 V_{in2} から電圧 V_{in1} に切り替わる場

10

20

30

40

50

合、予備充電期間では、第1差動回路21と第1出力段30の作用により、電圧 V_{out} は電圧 V_{in2} から電圧 V_{in1} 付近まで高速に引き上げられる。予備放電期間では、既に電圧 V_{out} が電圧 V_{in1} に十分近い電圧となっているので、第2差動回路22と第2出力段40が動作しても電圧 V_{out} はほとんど変動しない。

【0266】予備充放電期間終了後は、出力回路10により、電圧 V_{out} は高い電圧精度で電圧 V_{in1} に駆動される。

【0267】一方、入力端子1に与えられる電圧が電圧 V_{in1} から電圧 V_{in2} に切り替わる場合には、低電圧側への変動であるため、予備充電期間において第1出力段30は定電流回路321が動作するが、十分小さい電流に設定されているため放電作用は小さく、電圧 V_{out} は前の出力期間の電圧 V_{in1} からあまり大きく変化しない。

【0268】予備放電期間では、第2差動回路22と第2出力段40の作用により、電圧 V_{out} は電圧 V_{in1} 付近から電圧 V_{in2} 付近まで高速に引き下げられる。

【0269】予備放電期間終了後は、出力回路10により、電圧 V_{out} は高い電圧精度で電圧 V_{in2} に駆動される。

【0270】なお、予備充電期間および予備放電期間の順番を入れ替えても、予備充放電回路20は適切な駆動を行うことができる。

【0271】以上のような駆動方法により、任意の出力期間において、電圧 V_{out} を電圧 V_{in1} または電圧 V_{in2} に、高い電圧精度で高速に駆動することができる。すなわち、連続する出力期間において任意の電圧を任意の順番で駆動することができる。

【0272】なお、予備充放電回路20は高速に動作するので、予備充放電期間も短くすることができる。また予備充放電回路20の消費電力は十分小さく、しかも予備充放電期間だけしか電力を消費しない。

【0273】一方、出力回路10は、予備充放電期間に電圧 V_{in} 付近まで駆動された電圧を、予備充放電期間終了後に高い電圧精度で電圧 V_{in} に駆動するだけであるため、高い電流供給能力は必要ない。そのため出力回路10には低消費電力の駆動回路を用いることができる。

【0274】以上のように、図2に示した駆動回路を、図7に示した方法で駆動制御することにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0275】また図8には、同様の駆動方法を、図4に示した駆動回路で行う場合の予備充放電回路20の各スイッチと出力回路10の制御方法が示されている。

【0276】図4に示した差動回路23と第1出力段30の動作は、図2に示した第1差動回路21と第1出力

段30と同様であり、図4に示した差動回路23と第2出力段40の動作は、図2に示した第2差動回路22と第2出力段40と同様である。

【0277】図8では、図2に示した第1差動回路21と第1出力段30の動作と同じ制御方法で、図4に示した差動回路23と第1出力段30を動作させ、図2に示した第2差動回路22と第2出力段40の動作と同じ制御方法で、図4に示した差動回路23と第2出力段40を動作させる。

【0278】すなわち差動回路23のスイッチ521は予備充電期間、予備放電期間ともオンとし、第1出力段30のスイッチ531、532は予備充電期間のみオンとし、第2出力段40のスイッチ541、542は予備放電期間のみオンとする。

【0279】出力回路10は、図7(a)と同様の制御を行う。これにより出力電圧 V_{out} は、図7(b)と同様の電圧波形となる。

【0280】すなわち図8に示した制御方法で、図4に示した駆動回路を動作させると、図7(a)に示した制御方法で、図2の駆動回路を動作させる場合と同様の駆動を行うことができる。

【0281】[第7の実施の形態] 図9は、本発明の駆動回路の第7の実施の形態の構成を示す図である。本発明の第7の実施の形態は、図1の駆動回路の構成を変更したものである。

【0282】図9を参照すると、本発明の第9の実施の形態の駆動回路は、入力端子1Aの電圧 V_{inA} を受け、出力端子2Aに所望の電圧を出力する第1出力回路10Aと、入力端子1Bの電圧 V_{inB} を受け、出力端子2Bに所望の電圧を出力する第2出力回路10Bと、出力端子2Aおよび2Bの電圧 V_{outA} および V_{outB} をそれぞれ所望の電圧付近まで高速に変動させることのできる予備充放電回路20と、予備充放電回路20および第1出力回路10A、第2出力回路10Bの動作、非動作を制御する動作制御信号とを備えて構成されている。

【0283】すなわち、前記第1の実施の形態が、1つの出力回路に対して1つの予備充放電回路20を持つ構成とされているのに対して、本発明の第9の実施の形態において、予備充放電回路20は、2つの出力回路(第1出力回路10A、第2出力回路10B)に対して、1つの予備充放電回路20を共有する。

【0284】本発明の第9の実施の形態において、予備充放電回路20は、図1に示した前記第1の実施の形態の予備充放電回路20に2つの出力回路との接続を切り替えるスイッチ611、612、613、614、615、616を加えた構成である。

【0285】予備充放電回路20の動作時において、動作制御信号によるスイッチ611、612、613、614、615、616の制御は以下のように行われる。

【0286】スイッチ611、613がオンとされるときは、スイッチ612、614はオフとされる。

【0287】またスイッチ621、623がオンとされるときは、スイッチ622、624はオフとされる。

【0288】さらにスイッチ611、613またはスイッチ621、623の一方がオンとされるときは、他方はオフとされ、スイッチ612、614またはスイッチ621、623の一方がオンとされるときは、他方はオフとされる。

【0289】このように、各スイッチを制御することにより、第1出力回路10Aおよび第2出力回路10Bそれぞれに対する予備充放電回路20の関係は、図1に示した出力回路10に対する予備充放電回路20の関係と同じとなる。

【0290】したがって、図9に示した駆動回路は、2つの出力に対して、図1と同様の作用および効果を得ることができる。

【0291】そして、2出力の駆動回路を構成する場合、図1に示した駆動回路を2つ設けるよりも、図9に示した駆動回路の方が、素子数が少なく、所要面積を小さくすることができる。

【0292】〔第8の実施の形態〕図10は、本発明の駆動回路の第8の実施の形態を示す図であり、図9の駆動回路における予備充放電回路20の具体的な回路構成を示している。図10を参照すると、予備充放電回路20は、入力端子1A、1Bに電圧 V_{inA} 、 V_{inB} がそれぞれ与えられたとき、出力端子2A、2Bの電圧 V_{outA} 、 V_{outB} をそれぞれ電圧 V_{inA} および V_{inB} に十分近い電圧レベルまで高速に予備充放電する回路である。本発明の第8の実施の形態において、予備充放電回路20は、図2に示した予備充放電回路20に2つの出力回路との接続を切り替えるスイッチ611、612、613、614、615、616を加えた構成とされている。

【0293】図9と同様に、予備充放電回路20の動作時において、動作制御信号により各スイッチは以下のように制御される。スイッチ611、613がオンとされるときは、スイッチ612、614はオフとされる。またスイッチ621、623がオンとされるときは、スイッチ622、624はオフとされる。さらにスイッチ611、613またはスイッチ621、623の一方がオンとされるときは、他方はオフとされ、スイッチ612、614またはスイッチ621、623の一方がオンとされるときは、他方はオフとされる。このように各スイッチを制御することにより、第1出力回路10Aおよび第2出力回路10Bそれぞれに対する予備充放電回路20の関係は、図1に示した出力回路10に対する予備充放電回路20の関係と同じとなる。

【0294】したがって、図10に示した駆動回路は2つの出力に対して、図2と同様の作用および効果を得る

ことができる。

【0295】そして2出力の駆動回路を構成する場合、図2の駆動回路を2つ設けるよりも、図10の駆動回路の方が素子数が少なく所要面積を小さくすることができる。

【0296】〔第9の実施の形態〕図11は、本発明の駆動回路の第9の実施の形態を説明するための図である。図11には、図10に示した駆動回路の駆動方法の具体例が示されている。

【0297】本発明の第9の実施の形態では、出力端子2Aの出力電圧 V_{outA} を奇数番目の出力期間において、任意の中間電圧 V_m 以上、高位側の電源電圧 V_{DD} 以下の電圧に駆動し、偶数番目の出力期間において、電圧 V_m 未満、低位側の電源電圧 V_{SS} 以上の電圧に駆動し、出力端子2Bの出力電圧 V_{outB} を奇数番目の出力期間において任意の中間電圧 V_m 未満電源電圧 V_{SS} 以上の電圧に駆動し、偶数番目の出力期間において電圧 V_m 以上電源電圧 V_{DD} 以下の電圧に駆動する駆動方法について説明する。

【0298】このような駆動方法は、液晶表示装置においてドット反転駆動を行う場合などに用いることができる。

【0299】図11(a)は、図10における予備充放電回路20の各スイッチと出力回路10の制御方法を示す。

【0300】図11(b)は、図11(a)の制御により、入力端子1A、1Bに与えられる電圧が任意の奇数番目の出力期間のときそれぞれ電圧 V_{in1} および V_{in2} 、次の偶数番目の出力期間のときそれぞれ電圧 V_{in1} および V_{in2} とするときの、出力端子2A、2Bの出力電圧 V_{outA} 、 V_{outB} の2出力期間の電圧波形を示す。以下、図10、図11を参照して説明する。

【0301】図11に示した駆動方法では、奇数番目および偶数番目出力期間（時間 t_0-t_2 および時間 t_2-t_4 ）のそれぞれの前半に、予備充放電期間（時間 t_0-t_1 および時間 t_2-t_3 ）を設ける。

【0302】奇数番目出力期間の予備充放電期間では、スイッチ611、613、およびスイッチ622、624をオンとし、またスイッチ521、531、532および、スイッチ522、541、542をオンとして、第1差動回路21と、第1出力段30、および第2差動回路22と、第2出力段40とを共に動作させる。これにより、電圧 V_{outA} は第1差動回路21と第1出力段30の動作により電圧 V_{in1} 付近まで高速に引き上げられ、電圧 V_{outB} は第2差動回路22と第2出力段40の動作により電圧 V_{in2} 付近まで高速に引き下げられる。

【0303】予備充放電期間終了後は、全てのスイッチをオフとして、予備充放電回路20を停止させ、第1出

力回路 10A および第 2 出力回路 10B により、出力電圧 V_{outA} 、 V_{outB} をそれぞれ高い電圧精度で電圧 V_{in1} および V_{in2} に駆動する。

【0304】一方、偶数番目出力期間の予備充放電期間では、スイッチ 612、614 およびスイッチ 621、623 をオンとし、またスイッチ 521、531、532 およびスイッチ 522、541、542 をオンとする。

【0305】これにより、電圧 V_{outA} は、第 2 差動回路 22 と第 2 出力段 40 の動作により、電圧 V_{in2} 付近まで高速に引き下げられ、電圧 V_{outB} は、第 1 差動回路 21 と第 1 出力段 30 の動作により電圧 V_{in1} 付近まで高速に引き上げられる。予備充放電期間終了後は、全てのスイッチをオフとして予備充放電回路 20 を停止させ、第 1 出力回路 10A および第 2 出力回路 10B により、出力電圧 V_{outA} 、 V_{outB} をそれぞれ高い電圧精度で電圧 V_{in2} および V_{in1} に駆動する。なお、それぞれの予備充放電期間における出力回路 10 の動作は、回路特性に応じて動作または非動作とする。または非動作とする代わりに第 1 出力回路 10A、第 2 出力回路 10B をそれぞれ入力端子 1A および出力端子 2A、入力端子 1B および出力端子 2B から遮断してもよい。

【0306】以上のような駆動方法により、それぞれの出力期間において、電圧 V_{outA} 、 V_{outB} を、入力端子 1A、1B に与えられた電圧と等しい電圧に高い電圧精度で高速に駆動することができる。

【0307】また 2 つの出力に対して 1 つの予備充放電回路 20 を共有して用いることにより、各出力ごとに予備充放電回路 20 を設ける場合より回路規模を小さくすることができる。なお、それぞれの予備充放電期間において予備充放電回路 20 は高速に動作するので、予備充放電期間を短くすることができる。

【0308】また予備充放電回路 20 の消費電力は十分小さく、しかも予備充放電期間だけしか電力を消費しない。

【0309】一方、第 1 出力回路 10A および第 2 出力回路 10B は、予備充放電期間に所望の電圧付近まで駆動された電圧を予備充放電期間終了後に高い電圧精度で所望の電圧に駆動するだけでよいことから、高い電流供給能力は必要ない。そのため第 1 出力回路 10A および第 2 出力回路 10B には低消費電力の駆動回路を用いることができる。

【0310】以上のように、図 10 に示した駆動回路に対して、図 11 に示した駆動方法を行うことにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0311】〔第 10 の実施の形態〕図 12 は、本発明の駆動回路の第 10 の実施の形態を示す図であり、図 10 の駆動回路の駆動方法の別の具体例を示す。

【0312】本実施の形態では、2 つの出力それぞれに対して、連続する出力期間において任意の電圧を任意の順番で駆動する駆動方法について説明する。図 12

(a) は図 10 における予備充放電回路 20 の各スイッチと出力回路 10 の制御方法を示す。

【0313】図 12 (b) は、入力端子 1A に与えられる電圧が、電圧 V_{in2A} から電圧 V_{in1A} (但し、 $V_{in1A} > V_{in2A}$) に切り替わった直後の出力期間において、図 12 (a) の制御を行う場合の、電圧 V_{outA} の電圧波形 (電圧波形 1A) を示したものである。

【0314】また、入力端子 1A に与えられる電圧が電圧 V_{in1A} から電圧 V_{in2A} に切り替わった直後の出力期間の電圧 V_{outA} の電圧波形 (電圧波形 2A) についても併せて示す。

【0315】図 12 (c) は、入力端子 1B に与えられる電圧が、電圧 V_{in2B} から電圧 V_{in1B} (但し、 $V_{in1B} > V_{in2B}$) に切り替わった直後の出力期間において、図 12 (a) の制御を行う場合の電圧 V_{outB} の電圧波形 (電圧波形 1B) を示す。また、入力端子 1B に与えられる電圧が、電圧 V_{in1B} から電圧 V_{in2B} に切り替わった直後の出力期間の電圧 V_{outB} の電圧波形 (電圧波形 2B) についても併せて示す。

【0316】以下、図 10 および図 12 を参照して説明する。

【0317】図 12 の駆動方法では、任意の電圧を任意の順番で駆動できるように、1 出力期間 (時間 $t_0 - t_3$) の前半に、第 1 予備充放電期間 (時間 $t_0 - t_1$) と第 2 予備充放電期間 (時間 $t_1 - t_2$) を設ける。

【0318】第 1 予備充放電期間では、スイッチ 611、613 およびスイッチ 622、624 をオンとし、スイッチ 612、614 およびスイッチ 621、623 をオフとする。

【0319】第 2 予備充放電期間では、スイッチ 611、613 およびスイッチ 622、624 をオフとし、スイッチ 612、614 およびスイッチ 621、623 をオンとする。またスイッチ 521、531、532 およびスイッチ 522、541、542 は第 1 予備充放電期間および第 2 予備充放電期間ともオンとして第 1 差動回路 21 と第 1 出力段 30 および第 2 差動回路 22 と第 2 出力段 40 を共に動作させる。

【0320】第 1 および第 2 予備充放電期間の終了後は、全てのスイッチをオフとして、予備充放電回路 20 を停止させる。

【0321】第 1 出力回路 10A および第 2 出力回路 10B は、少なくとも第 1、第 2 予備充放電期間の終了後は動作させ、第 1、第 2 予備充放電期間では、それぞれの出力回路の回路特性に応じて動作または非動作とする。または非動作とする代わりに第 1 出力回路 10A、

第2出力回路10Bをそれぞれ入力端子1Aおよび出力端子2A、入力端子1Bおよび出力端子2Bから遮断してもよい。

【0322】図12において、入力端子1Aに与えられる電圧が、電圧 V_{in2A} から電圧 V_{in1A} に切り替わる場合、第1予備充放電期間では、第1差動回路21と第1出力段30の作用により、電圧 V_{outA} は、電圧 V_{in2A} から電圧 V_{in1A} 付近まで高速に引き上げられる。

【0323】第2予備充放電期間では、既に電圧 V_{outA} が電圧 V_{in1A} に十分近い電圧となっているので、第2差動回路22と第2出力段40が動作しても電圧 V_{outA} はほとんど変動しない。

【0324】第1、第2予備充放電期間の終了後は、第1出力回路10Aにより、電圧 V_{outA} は、高い電圧精度で電圧 V_{in1A} に駆動される。

【0325】また、入力端子1Aに与えられる電圧が電圧 V_{in1A} から電圧 V_{in2A} に切り替わる場合には、低電圧側への変動であることから、第1予備充放電期間において、第1出力段30は定電流回路321が動作するが、十分小さい電流に設定されているため放電作用は小さく、電圧 V_{outA} は、前の出力期間の電圧 V_{in1A} から、あまり大きく変化しない。

【0326】第2予備充放電期間では、第2差動回路22と第2出力段40の作用により、電圧 V_{outA} は電圧 V_{in1A} 付近から電圧 V_{in2A} 付近まで高速に引き下げられる。第1、第2予備充放電期間終了後は、第1出力回路10Aにより、電圧 V_{outA} は高い電圧精度で電圧 V_{in2A} に駆動される。

【0327】一方、入力端子1Bに与えられる電圧が、電圧 V_{in1B} から電圧 V_{in2B} に切り替わる場合、第1予備充放電期間では、第2差動回路22と第2出力段40の作用により、電圧 V_{outB} は電圧 V_{in1B} から電圧 V_{in2B} 付近まで高速に引き下げられる。

【0328】第2予備充放電期間では、既に電圧 V_{outB} が電圧 V_{in2B} に十分近い電圧となっているので、第1差動回路21と第1出力段30が動作しても電圧 V_{outB} はほとんど変動しない。

【0329】第1、第2予備充放電期間終了後は、第2出力回路10Bにより、電圧 V_{outB} は高い電圧精度で電圧 V_{in2B} に駆動される。

【0330】また、入力端子1Bに与えられる電圧が、電圧 V_{in2B} から電圧 V_{in1B} に切り替わる場合には、第1予備充放電期間において、第2出力段40は定電流回路421が動作するが、十分小さい電流に設定されているため充電作用は小さく、電圧 V_{outB} は前の出力期間の電圧 V_{in2B} からあまり大きく変化しない。

【0331】第2予備充放電期間では、第1差動回路21と第1出力段30の作用により、電圧 V_{outB} は電

圧 V_{in2B} 付近から電圧 V_{in1B} 付近まで高速に引き下げられる。

【0332】第1、第2予備充放電期間終了後は、第2出力回路10Bにより、電圧 V_{outB} は高い電圧精度で電圧 V_{in1B} に駆動される。

【0333】なお、第1予備充放電期間および第2予備充放電期間のそれぞれにおける予備充放電回路20の制御を入れ替えても適切な駆動を行うことができる。

【0334】以上のような駆動方法により、任意の出力期間において電圧 V_{outA} 、 V_{outB} を入力端子1A、1Bに与えられた電圧と等しい電圧に高い電圧精度で高速に駆動することができる。

【0335】すなわち2つの出力それぞれに対し、連続する出力期間において、任意の電圧を任意の順番で駆動することができる。

【0336】また2つの出力に対して1つの予備充放電回路20を共有して用いることにより、各出力ごとに予備充放電回路20を設ける場合より回路規模を小さくすることができる。

【0337】なお予備充放電回路20は高速に動作するので、第1、第2予備充放電期間それぞれも短くすることができる。また予備充放電回路20の消費電力は十分小さく、しかも予備充放電期間だけしか電力を消費しない。一方、第1出力回路10Aおよび第2出力回路10Bは、2段階の予備充放電期間に所望の電圧付近まで駆動された電圧を予備充放電期間終了後に高い電圧精度で所望の電圧に駆動するだけなので、高い電流供給能力は必要ない。そのため第1出力回路10Aおよび第2出力回路10Bには低消費電力の駆動回路を用いることができる。

【0338】以上のように、図10の駆動回路を、図12の駆動方法を行うことにより、高精度出力、高速駆動および低消費電力を実現することができる。

【0339】〔第11の実施の形態〕図13は、本発明の駆動回路の第13の実施の形態を示す図であり、液晶表示装置のデータドライバの構成を示している。図13を参照すると、このドライバは、抵抗ストリング200と、選択回路300と、出力端子群400と、出力段100と、を備えて構成される。

【0340】抵抗ストリング200の各接続端子（タップ）において、段階に対応したレベル電圧を生成し、各出力期間ごとに、選択回路300で、任意のレベル電圧を選択し、出力段100により、各出力端子に出力する。

【0341】出力段100は、上記各実施の形態の駆動回路（予備充放電回路20と出力回路10を備えた駆動回路）を用いることができる。

【0342】各出力の出力段100には、動作制御信号が送られ、上記各実施の形態における各予備充放電回路20および出力回路10の動作を制御する。

【0343】なお、図9および図10の駆動回路を、図13の出力段100に用いる場合には、出力段100の2出力分を、図9および図10の駆動回路に置きかえる。

【0344】本発明の駆動回路を、出力段100に用いることにより、簡単に低消費電力で高速駆動のデータドライバを構成することができる。

【0345】

【実施例】次に、本発明の実施例について図面を参照して説明する。上記実施の形態で説明した駆動回路について、シミュレーションにより得られた結果に基づき具体例について説明する。

【0346】上記各駆動回路において、出力回路は、電流供給能力を低く抑えた高精度出力が可能な回路を用いることができる。したがって、図13において、所望の電圧付近まで予備充放電された状態であれば、抵抗ストリング200から直接電荷を供給して出力端子に接続された容量性負荷を駆動することも可能である。この場合、抵抗ストリング200の電流を十分小さく抑えても高速駆動が可能で、高精度出力および低消費電力を実現

【0347】これを実現する出力段100の具体例の一例を図14に示す。

【0348】図14は、図2に示した駆動回路の実施例を示す図であり、出力回路10をCMOSスイッチ111、112（相補型トランスファゲート）と、スイッチを制御するインバータ110で構成した駆動回路である。予備充放電回路20は、図2に示した構成と同様とされる。

【0349】出力回路10の動作、非動作は、動作制御信号により制御することができる。

【0350】本実施例では、図13の出力段100に、図14の駆動回路を用い、また図5の駆動方法で、図14の駆動回路を動作させたときのシミュレーション結果を示す。

【0351】シミュレーションは、簡単のため、多出力ではなく1出力の構成で行った。

【0352】予備充放電期間は $2\mu s$ とし、CMOSスイッチ（111、112）は、予備充放電期間は、オフ、予備充放電期間終了後にオンとする。

【0353】また図14の予備充放電回路20の定電流回路215、225、321、421は、それぞれ $0.5\mu A$ の定電流に設定する。

【0354】出力端子2には、 $2k\Omega$ の抵抗素子を介して $20pF$ の低容量の容量素子を接続し、容量素子の他端は、GND電位（0V）に接続した。またデータドライバの抵抗ストリング200には、両端に、高位側電源VDDと低位側電源VSSの2つの電源電圧を供給し、 $5\mu A$ の電流が流れるように設定した。なお、電源電圧VDD、VSSはそれぞれ5V、0Vとした。

【0355】図15に、上記条件における、予備充電期間を含む出力期間のシミュレーション結果を示す。図15は、抵抗ストリング200で生成されるレベル電圧が、選択回路300によって0Vから4Vに切り替わったときの上記負荷容量の電圧変化を示している。

【0356】比較のため、図13と出力段の構成が異なる図21の駆動回路の電圧波形も図15に示した。図21の駆動回路のシミュレーションは、図14を用いた図13の駆動回路と同じ条件とし、図21のスイッチ901は、図14の出力回路10と同じスイッチを用いて同じ制御を行った。

【0357】図15において、電圧波形Cは、図21に示した駆動回路で駆動したときの波形であり、電圧波形Dは、図13における出力段100として図14に示した駆動回路で駆動したときの波形である。

【0358】図15より、図21に示した駆動回路で駆動した場合には、出力期間の前半 $2\mu s$ （予備充電期間）において、NMOSトランジスタ902のソースフォロワ動作によって、2.5V付近まで高速に駆動することができる。しかしながら、ソースフォロワ動作では、選択された階調電圧からおよそ閾値電圧分だけ低い電圧レベルまでしか駆動することができないため、後半は、スイッチ901をオンとして、抵抗ストリング200から直接電流を供給して駆動する。

【0359】図21の駆動回路では、トランジスタのおよそ閾値電圧差分を抵抗ストリング200により駆動しなければならないが、上記シミュレーション条件での電流供給能力はやや低いため、予備充電期間終了後に所定の電圧（4V）まで到達するが遅く、高速駆動が実現できていない。

【0360】一方、図13に示した駆動回路（出力段として図14に示した駆動回路を備える）で駆動した場合には、電圧波形Dとなり、 $2\mu s$ の予備充電期間に予備充放電回路20により、選択されたレベル電圧である4V付近まで高速に引き上げられているため、予備充電期間終了後は抵抗ストリング200からの電流供給能力が低くても容易に選択された階調電圧を高い電圧精度で駆動することができ、高速駆動を実現している。

【0361】なお図14に示した構成は、予備充電期間において、第1差動回路21と第1出力段30だけが動作し、予備充放電回路20のアイドリング電流は合計 $1\mu A$ と十分小さく、しかも予備充電期間が短いため、予備充放電回路20の動作による消費電力は十分小さい。

【0362】図13に示した駆動回路（出力段100として図14に示した駆動回路を備える）の消費電力は、抵抗ストリング200の電流による消費電力と予備充放電回路20のアイドリング電流による消費電力と容量性負荷の充放電電力である。

【0363】抵抗ストリング200と予備充放電回路20の消費電力を小さく抑えることができるため、図13

に示した駆動回路（出力段として図 14 に示した駆動回路を備える）は、低消費電力を実現することができる。

【0364】なお図 21 に示した駆動回路において、図 13 に示した駆動回路（出力段 100 として図 14 に示した駆動回路を備える）と同等の駆動速度を実現するためには、抵抗ストリング 200 に流す電流を相当大きくする必要があり、消費電力が極めて大きくなる。

【0365】したがって、図 13 に示した駆動回路（出力段 100 として図 14 に示した駆動回路を備える）は、図 21 に示した駆動回路よりも高速駆動可能とされ、消費電力も十分小さい。

【0366】図 15 には、高電圧側に変化する場合（予備充電期間を含む出力期間）が示されているが、低電圧側に変化する場合（予備放電期間を含む出力期間）も同様に、図 13 に示した駆動回路（出力段 100 として図 14 に示した駆動回路を備える）は高速駆動を実現することができる。また、図 6 に示した駆動方法で動作させたときも同様の効果を得ることができる。

【0367】以上より、図 13 に示した駆動回路（出力段 100 として図 14 に示した駆動回路を備える）の高速駆動と低消費電力の性能が示された。また、電圧精度は、抵抗ストリング 200 から直接出力することから、高い電圧精度を実現できる。

【0368】さらに図 14 に示した予備充放電回路 20 は、所望の電圧付近まで予備充放電できればよいので、厳密な設計は必要なく、カレントミラー回路および差動トランジスタ対はそれぞれ最小サイズから設計することができ、回路の所要面積を小さくすることができる。

【0369】また、各トランジスタの閾値電圧が多少ばらつきをもつ場合でも、予備充放電回路 20 によって駆動される電圧が所望の電圧から多少ずれるが、抵抗ストリング 200 から直接出力することにより高い電圧精度を実現できる。

【0370】したがって、図 13 の出力段 100 に図 14 の駆動回路を用いたデータドライバは、閾値電圧が多少ばらつきをもつようなプロセスにおいても高精度な電圧出力、高速駆動、低消費電力を実現することができる。

【0371】また、図 10 に示した第 1 出力回路 10A および第 2 出力回路 10B に、図 14 の出力回路 10 と同様の CMOS スイッチを用いて、図 11 または図 12 の駆動方法を行う場合も、図 13 に示した駆動回路（出力段 100 として図 14 に示した駆動回路を備える）と同様の効果を得ることができる。

【0372】〔第 2 実施例〕図 16 は、図 13 に示した出力段 100 の別の実施例を示す図である。図 16 を参照すると、この実施例は、図 4 に示した駆動回路において、出力回路 10 を図 14 と同様の CMOS スイッチ（111、112）と、インバータ 110 で構成したものである。出力回路 10 の動作、非動作は動作制御信号

により制御することができる。

【0373】本実施例において、図 16 に示した構成を、図 13 に示した構成の出力段 100 に適用し、また図 6 に示した駆動方法に従って、図 16 に示した駆動回路を動作させたところ、図 15 の電圧波形 D と同様のシミュレーション結果を得ることができた。なおシミュレーション条件は、前記第 1 実施例の場合と同じとし、差動回路 23、第 1 出力段 30、第 2 出力段 40 の各定電流回路 215、321、421 は、それぞれ $0.5\mu\text{A}$ とした。

【0374】このため、予備充放電期間における予備充放電回路 20 のアイドル電流は、差動回路 23 と第 1 出力段 30 の合計で $1\mu\text{A}$ となり、十分小さい電流となっている。

【0375】図 14 および図 16 の予備充放電回路 20 は、同様の作用を行うため、図 16 に示した構成を備えた図 13 の駆動回路においても、図 14 に示した構成を備えた図 13 の駆動回路と同様に、高精度出力、高速駆動、低消費電力を実現できる。

【0376】〔第 3 実施例〕本発明の駆動回路は、一般的な駆動回路に対しても応用することができ、本発明の駆動回路の出力回路に従来の駆動回路を適用した場合、低消費電力または高速駆動の性能を向上させることができる。図 17 は、その具体例の一例を示す図である。

【0377】図 17 は、図 2 に示した駆動回路の実施例であり、出力回路 10 を、オペアンプ 120（ボルテージフォロワ）と、オペアンプ 120 の出力をオン・オフするスイッチ 121 で構成したものである。図 17 に示した出力回路 10 は、図 13 の出力段 100 にも適用できる。

【0378】また、図 13 と異なる駆動回路であっても、図 17 における入力端子 1 に複数のレベル電圧を与える駆動回路であれば、図 17 に示した構成を適用することができる。

【0379】本実施例では、図 5 に示した駆動方法で、図 17 に示した駆動回路を動作させたときのシミュレーション結果を示す。図 17 の駆動回路のシミュレーションにおいて、予備充放電回路 20 を動作させる予備充放電期間を $5\mu\text{s}$ とし、予備充放電期間においてスイッチ 121 をオフとしてオペアンプ 120 の出力を遮断する。

【0380】これは、オペアンプ 120 を頻繁に動作、非動作を切り替えると、オペアンプ 120 の出力が不安定になり、かえってオペアンプの消費電力が増加するので、予備充放電期間においても、オペアンプ 120 を動作させている。

【0381】予備充放電期間終了後は、スイッチ 121 をオンとして、オペアンプ 120 により高い電圧精度で駆動を行う。なおオペアンプ 120 のアイドル電流は約 $10\mu\text{A}$ とし、予備充放電回路 20 の定電流回路 2

15、225、321、421の電流はどちらも0.5 μ Aとし、十分小さい電流に設定した。

【0382】出力端子2には、10k Ω の抵抗素子を介して100pFの容量素子を接続し、容量素子の他端は、GND(0V)に接続した。なお、電源電圧VDD、VSSはそれぞれ5V、0Vとした。

【0383】図18は、上記条件における予備充電期間を含む出力期間のシミュレーション結果を示す図である。図18には、電圧Vinを0Vから4.9Vに変化させたときの上記負荷容量の電圧変化が示されている。図18には、比較のため、予備充放電回路20およびスイッチ121を持たないオペアンプ120単独で駆動したときの電圧波形も示されている。電圧波形Aはオペアンプ120単独で駆動したときの電圧波形で、電圧波形Bは図17の駆動回路で駆動したときの電圧波形である。

【0384】図18から、予備充放電回路20を設けたことにより、駆動速度が大幅に向上していることがわかる。これは、予備充放電回路20が、位相補償手段を有するオペアンプに比べて、出力電圧Voutの変動に対する充電作用の応答が速いためである。

【0385】また、予備充放電回路20の各定電流回路に流す電流は小さく、予備充電期間も短いため、予備充放電回路20の動作による消費電力の増加は十分小さい。

【0386】したがって、図17に示した駆動回路の消費電力は、オペアンプ120単独で駆動する場合と同程度の消費電力である。

【0387】一方、オペアンプ120単独で、図17に示した駆動回路と同等の駆動速度を実現する場合、ア

イドリング電流を十分大きくしなければならず、消費電力が大幅に増加する。

【0388】図18には、高電圧側に変化する場合(予備充電期間を含む出力期間)だけが示されているが、低電圧側に変化する場合(予備放電期間を含む出力期間)も同様に、図17に示した駆動回路によって、高速駆動を実現することができる。また、図6に示した駆動方法で動作させたときも、同様の効果を得ることができる。

【0389】以上より、図17に示した駆動回路は、オペアンプ単独駆動よりも高速駆動または低消費電力が実現できることが明らかにされた。

【0390】また、図10における第1出力回路10Aおよび第2出力回路10Bに、図17に示した出力回路10と同様の、オペアンプ120とスイッチ121を用いて、図11または図12に示した方法で駆動する場合も、図17に示した駆動回路と同様の効果を得ることができる。

【0391】〔第4実施例〕図19は、図17に示した構成とは別の具体例の一例を示す図である。図19は、図4に示した駆動回路の実施例であり、図17と同様

に、出力回路10をオペアンプ120とスイッチで構成したものである。

【0392】本実施例においても、図6に示した駆動方法で、図19に示した駆動回路を動作させたとき、図18に電圧波形Bとして示したものと同様のシミュレーション結果を得ることができた。なおシミュレーション条件は、図17の場合と同じとし、予備充放電回路20の定電流回路215、321、421については、それぞれ0.5 μ Aとした。

【0393】このため、予備充放電期間における予備充放電回路20のアイドリング電流は、差動回路23と第1出力段30の1 μ Aとなり、十分小さい電流となっている。

【0394】図19において、予備充放電回路20は、図17における予備充放電回路20と同様の作用を行うため、図19に示した駆動回路においても、オペアンプ単独駆動よりも高速駆動または低消費電力化が可能である。

【0395】

【発明の効果】以上説明したように、本発明によれば、充電手段と第1定電流回路からなる第1出力段と、放電手段と第2定電流回路からなる第2出力段と、第1および第2差動回路とで構成した位相補償手段を持たない予備充放電回路により、出力端子に接続された容量性負荷を所望の電圧付近まで高速に駆動することができる、という効果を奏する。

【0396】このため、本発明によれば、予備充放電に伴う余計な充放電電力や駆動速度の低下を十分小さく抑えることができ、予備充放電回路のアイドリング電流を小さく抑えても高速動作を実現できる。

【0397】また、本発明によれば、電流供給能力を抑えた低消費電力の出力回路と組み合わせることができ、出力期間の前半に予備充放電回路により所望の電圧付近まで高速に駆動し、後半は出力回路により高い電圧精度で所望の電圧に駆動することにより、高精度出力、高速駆動、低消費電力を実現することができる。

【図面の簡単な説明】

【図1】本発明の駆動回路の第1の実施の形態の構成を示す図である。

【図2】本発明の駆動回路の第2の実施の形態の構成を示す図であり、図1における予備充放電回路20の具体的な回路構成を示す図である。

【図3】本発明の駆動回路の第3の実施の形態の構成を示す図である。

【図4】本発明の駆動回路の第4の実施の形態の構成を示す図であり、図2における予備充放電回路20の別の具体的な回路構成を示す図である。

【図5】本発明の駆動回路の第5の実施の形態を説明するための図であり、(a)は図2の駆動回路の制御方法、(b)はそのときの出力電圧波形図である。

【図 6】図 4 の駆動回路の制御方法を説明するための図である。

【図 7】本発明の駆動回路の第 6 の実施の形態を説明するための図であり、(a) は図 2 の駆動回路の別の制御方法、(b) はそのときの出力電圧波形図である。

【図 8】図 4 の駆動回路の別の制御方法を説明するための図である。

【図 9】本発明の駆動回路の第 7 の実施の形態の構成を示す図である。

【図 10】本発明の駆動回路の第 8 の実施の形態の構成を示す図であり、図 9 における予備充放電回路 20 の具体的な回路構成を示す図である。

【図 11】本発明の駆動回路の第 9 の実施の形態を示す図であり、図 (a) は図 10 の駆動回路の制御方法、(b) は出力電圧波形図である。

【図 12】本発明の駆動回路の第 10 の実施の形態を示す図であり、(a) は図 10 の駆動回路の別の制御方法、(b) は出力端子 2A の出力電圧波形図、(c) は出力端子 2B の出力電圧波形図である。

【図 13】本発明の駆動回路の第 11 の実施の形態の構成を示す図であり、液晶表示装置のデータドライバの構成の一例を示す図である。

【図 14】本発明の駆動回路の第 1 実施例を示す図であり、図 13 の出力段 100 に用いることのできる具体的な回路構成を示す図である。

【図 15】第 1 実施例における出力電圧波形のシミュレーション結果を示す図である。

【図 16】本発明の駆動回路の第 2 実施例を示す図であり、図 13 の出力段 100 に用いることのできる別の具

体的な回路構成を示す図である。

【図 17】本発明の駆動回路の第 3 実施例の構成を示す図である。

【図 18】第 3 実施例における出力電圧波形のシミュレーション結果を示す図である。

【図 19】本発明の駆動回路の第 3 実施例の構成を示す図である。

【図 20】抵抗ストリングから直接容量性負荷へ電荷を供給する従来の駆動回路の構成を示す図である。

【図 21】図 20 よりも高速駆動が可能な従来の別の駆動回路の構成を示す図である。

【図 22】従来のオペアンプの構成を示す図である。

【図 23】低消費電力が可能な従来の別のオペアンプの構成を示す図である。

【図 24】低消費電力が可能な従来のオペアンプを含む駆動回路の構成を示す図である。

【符号の説明】

- 1、1A、1B 入力端子
- 2、2A、2B 出力端子
- 10、10A、10B 出力回路
- 20 予備充放電回路
- 21、22、23 差動回路
- 30 第 1 出力段
- 31 充電手段
- 32 第 1 定電流回路
- 40 第 2 出力段
- 41 放電手段
- 42 第 2 定電流回

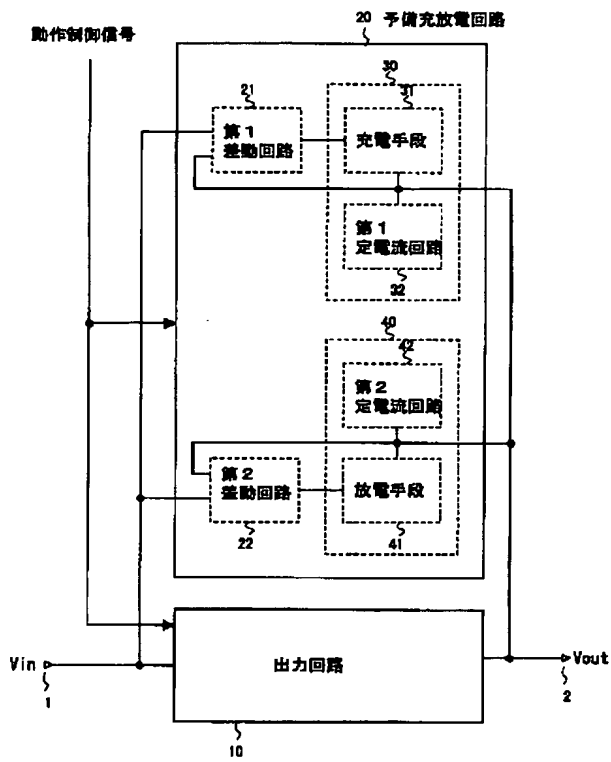
【図 6】

	t0～t1	t1～t2	t2～t3	t3～t4
スイッチ521	オン	オフ	オン	オフ
スイッチ531, 532	オン	オフ	オフ	オフ
スイッチ541, 542	オフ	オフ	オン	オフ
出力回路	非動作 (動作)	動作	非動作 (動作)	動作

【図 8】

	t0～t1	t1～t2	t2～t3
スイッチ521	オン	オン	オフ
スイッチ531, 532	オン	オフ	オフ
スイッチ541, 542	オフ	オン	オフ
出力回路	非動作 (動作)	非動作 (動作)	動作

【図 1】

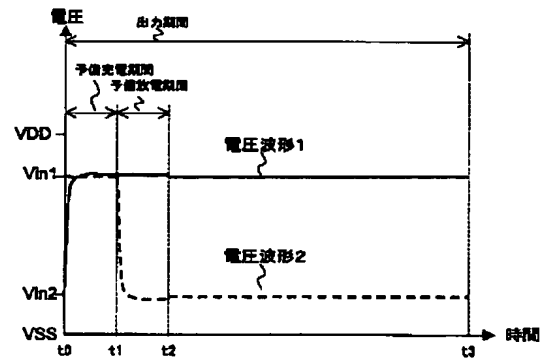


【図 7】

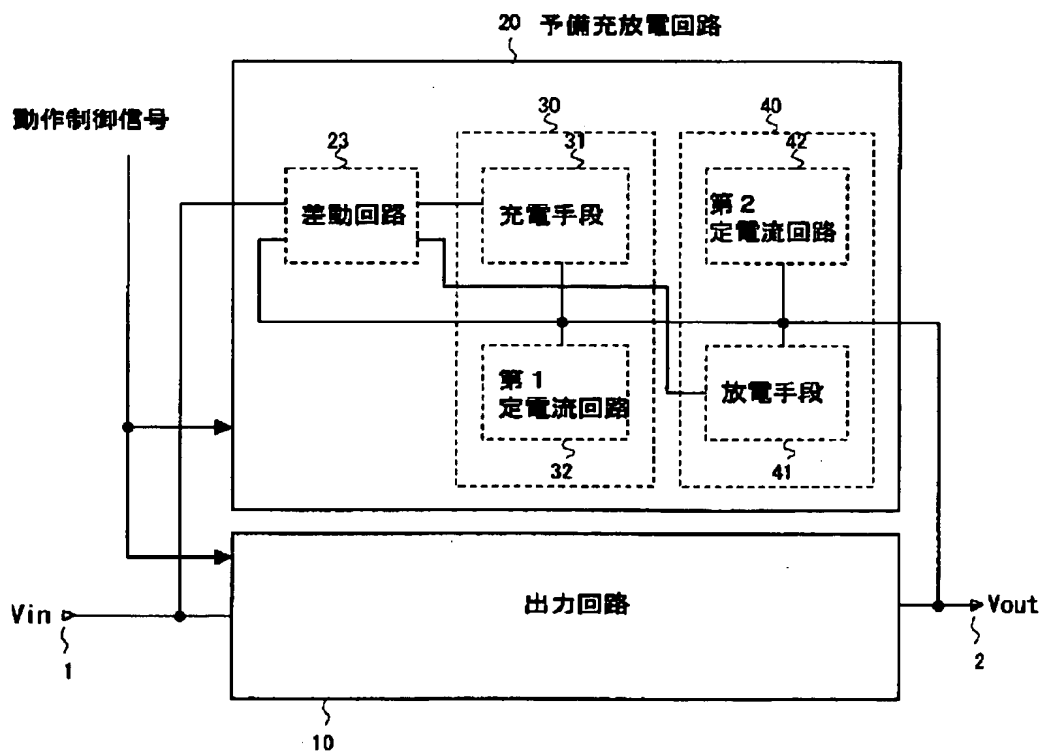
	$t0 \sim t1$	$t1 \sim t2$	$t2 \sim t3$
スイッチS21, S31, S32	オン	オフ	オフ
スイッチS22, S41, S42	オフ	オン	オフ
出力回路	予備充電 (動作)	予備充電 (動作)	動作

(a)

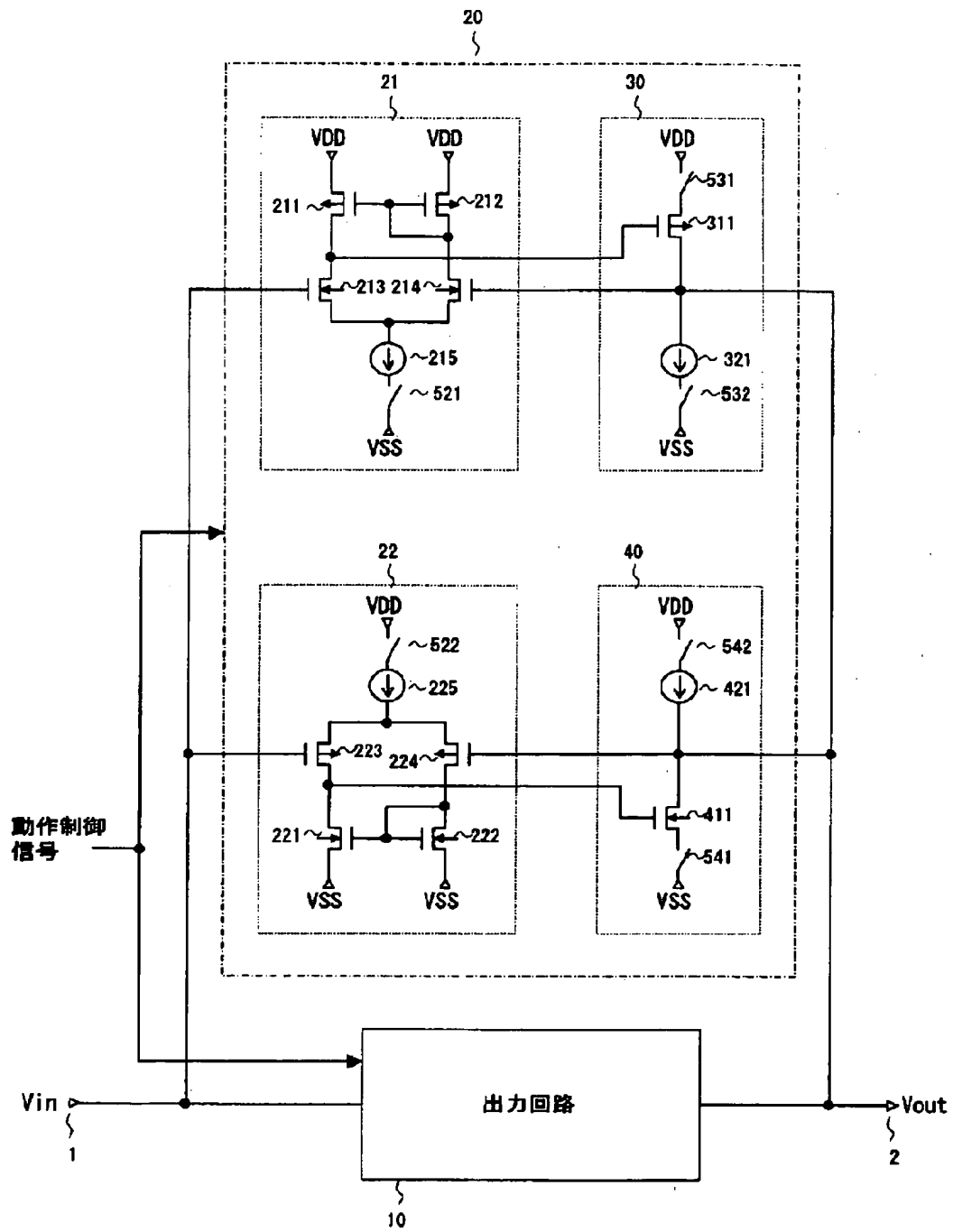
(b)



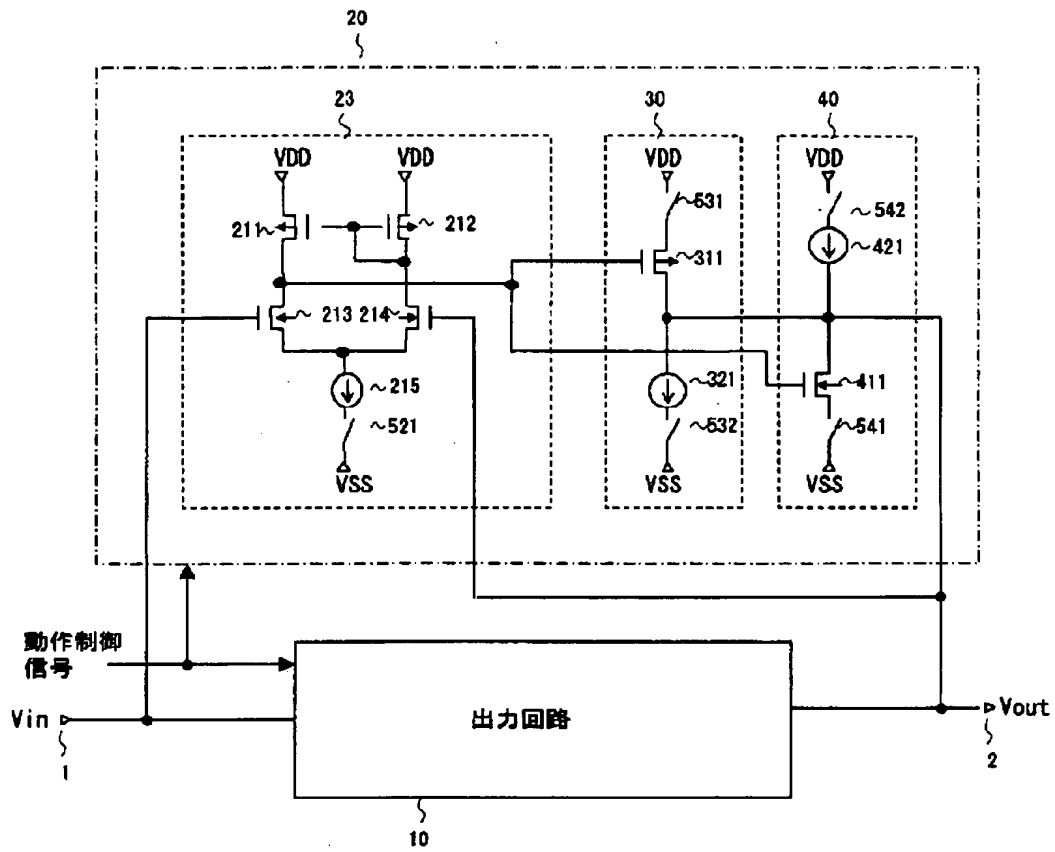
【図 3】



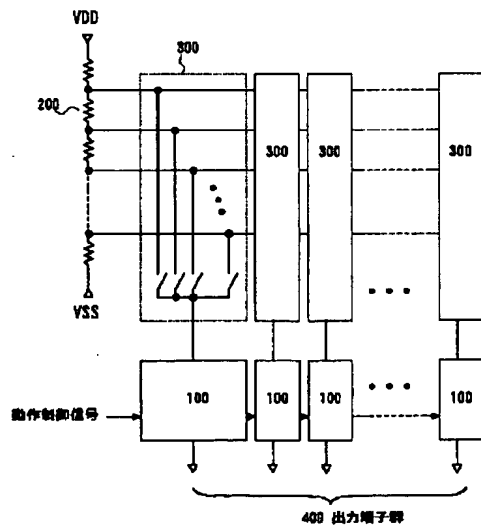
【図 2】



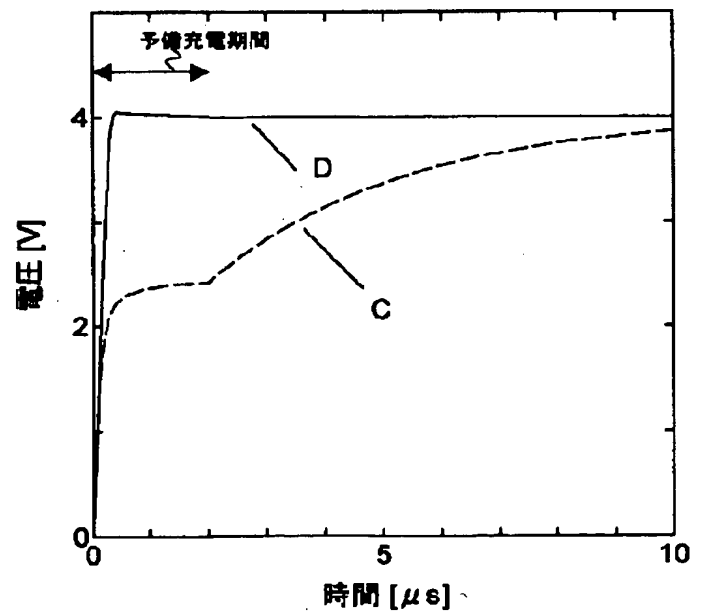
【図 4】



【図 13】



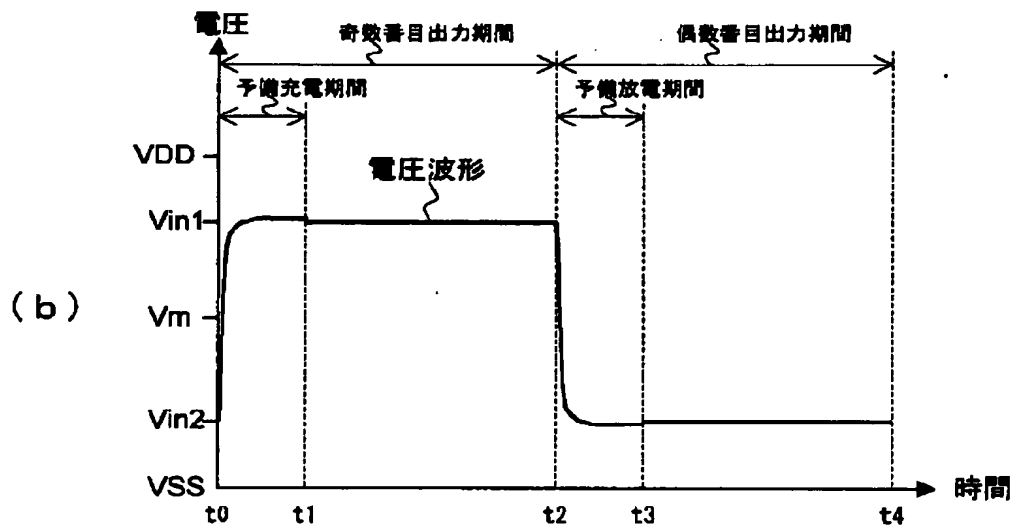
【図 15】



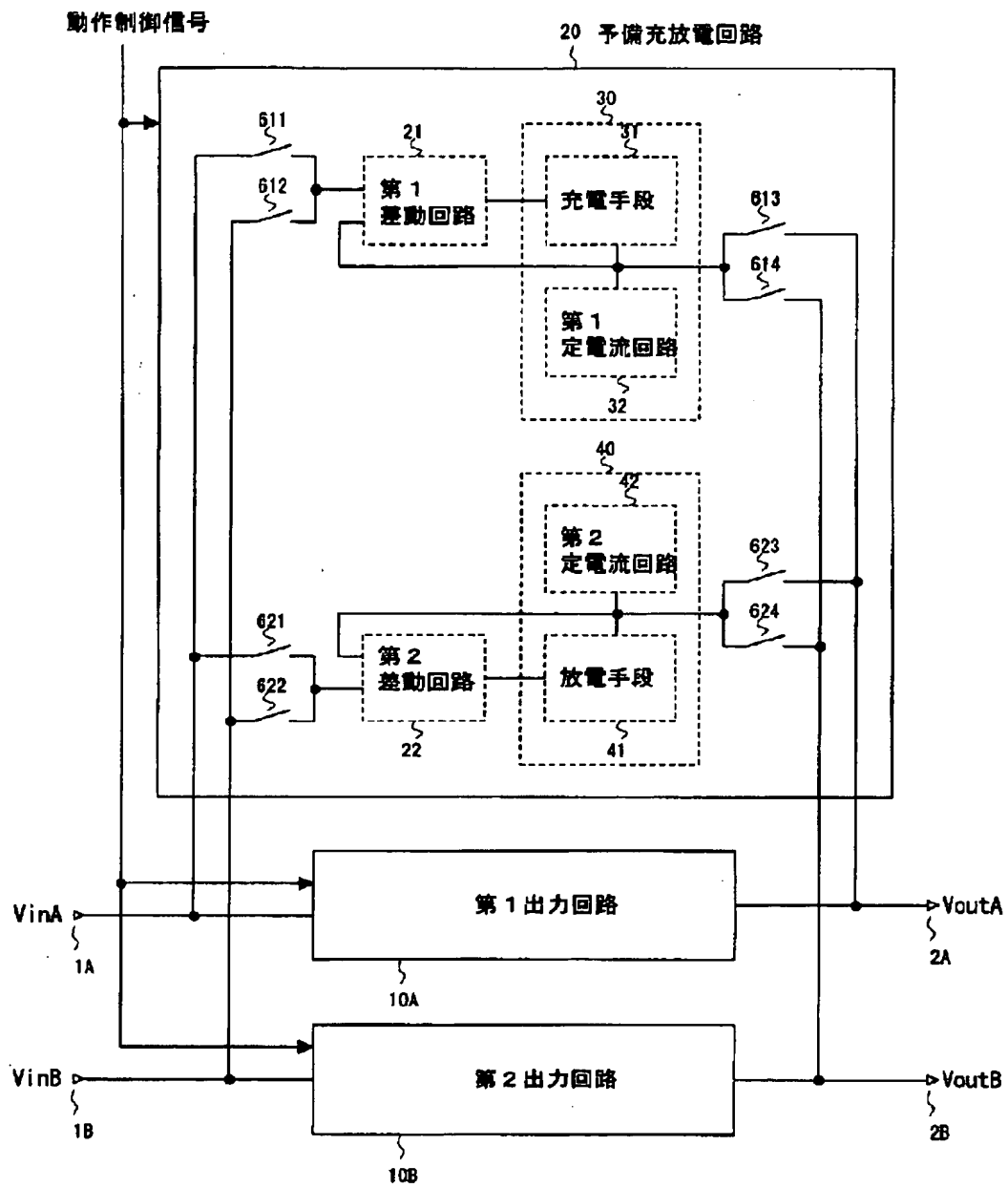
【図 5】

(a)

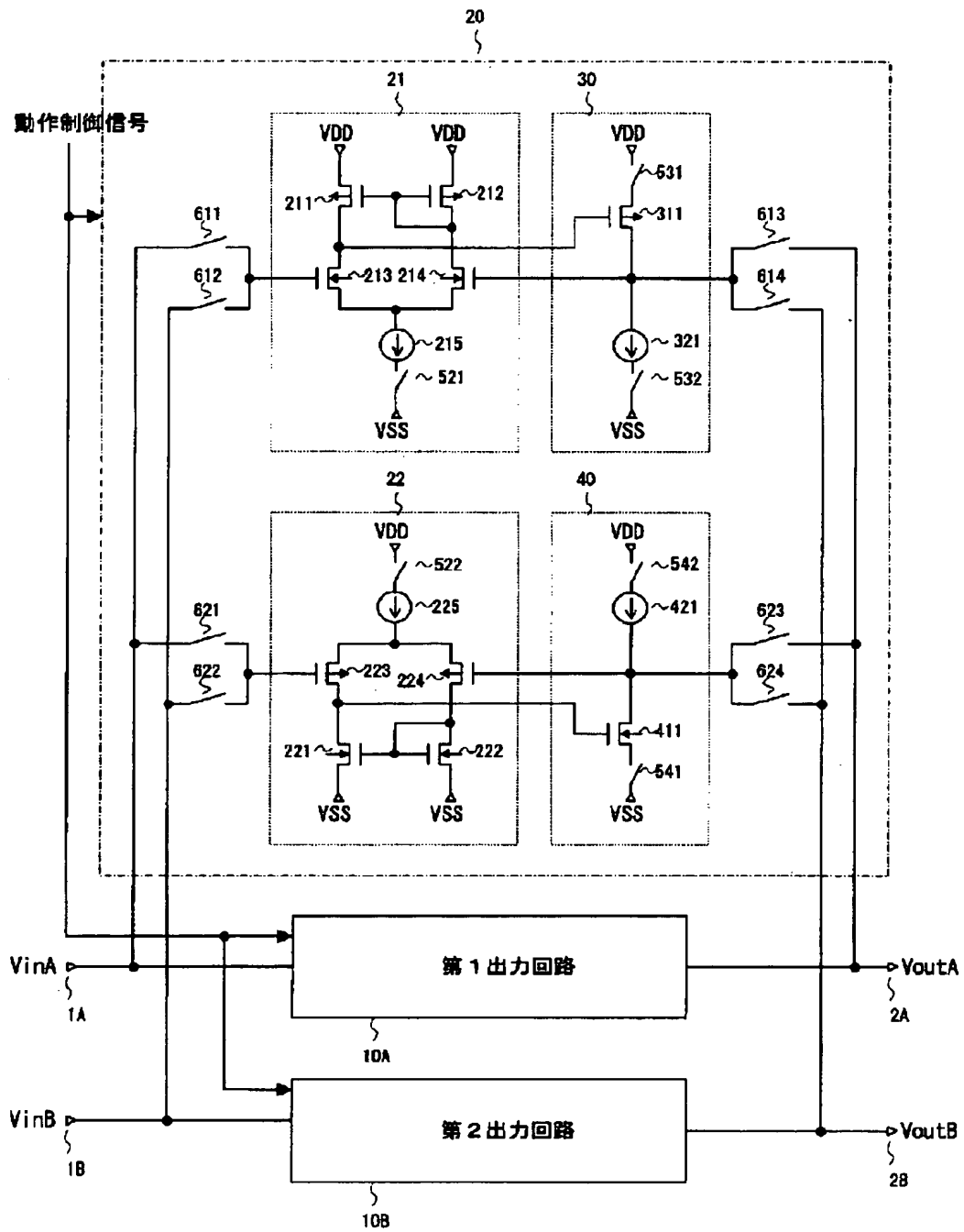
	$t_0 \sim t_1$	$t_1 \sim t_2$	$t_2 \sim t_3$	$t_3 \sim t_4$
スイッチ521, 531, 532	オン	オフ	オフ	オフ
スイッチ522, 541, 542	オフ	オフ	オン	オフ
出力回路	非動作 (動作)	動作	非動作 (動作)	動作



【図 9】



【図 10】

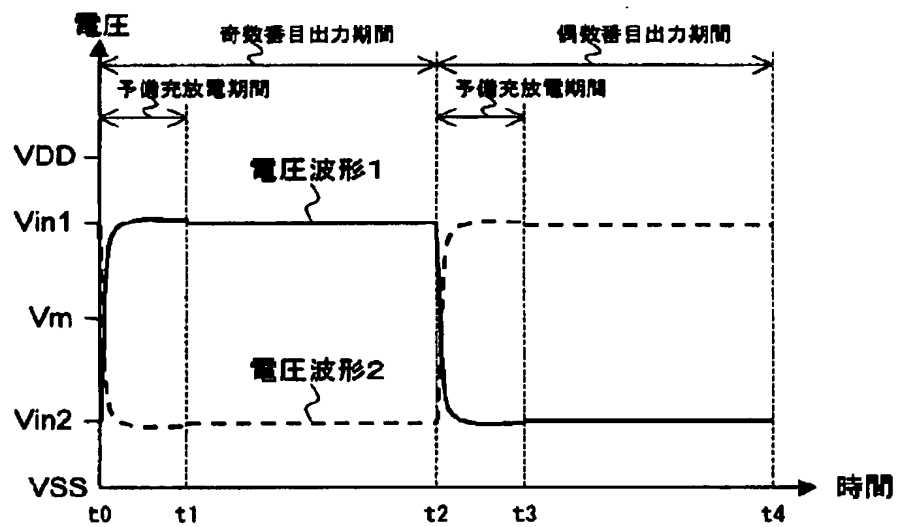


【図 11】

(a)

	t0 ~ t1	t1 ~ t2	t2 ~ t3	t3 ~ t4
スイッチ611, 613	オン	オフ	オフ	オフ
スイッチ612, 614	オフ	オフ	オン	オフ
スイッチ621, 623	オフ	オフ	オン	オフ
スイッチ622, 624	オン	オフ	オフ	オフ
スイッチ521, 531, 532	オン	オフ	オン	オフ
スイッチ522, 541, 542	オン	オフ	オン	オフ
出力回路1、出力回路2	非動作 (動作)	動作	非動作 (動作)	動作

(b)

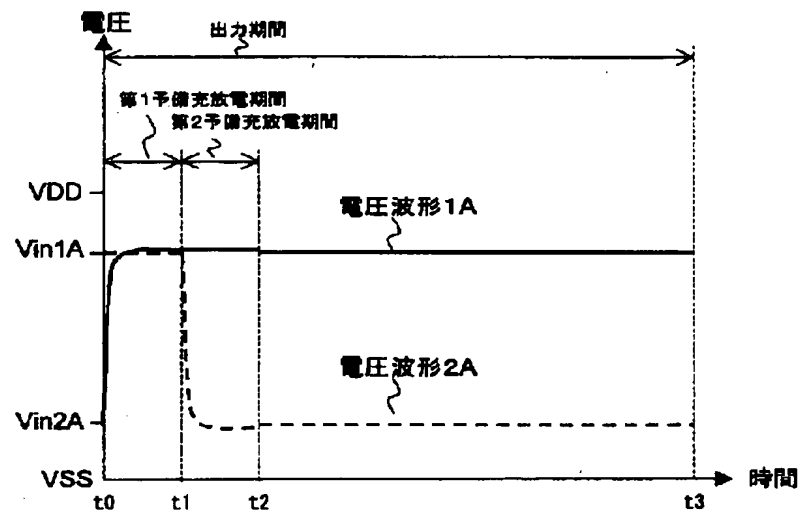


【図12】

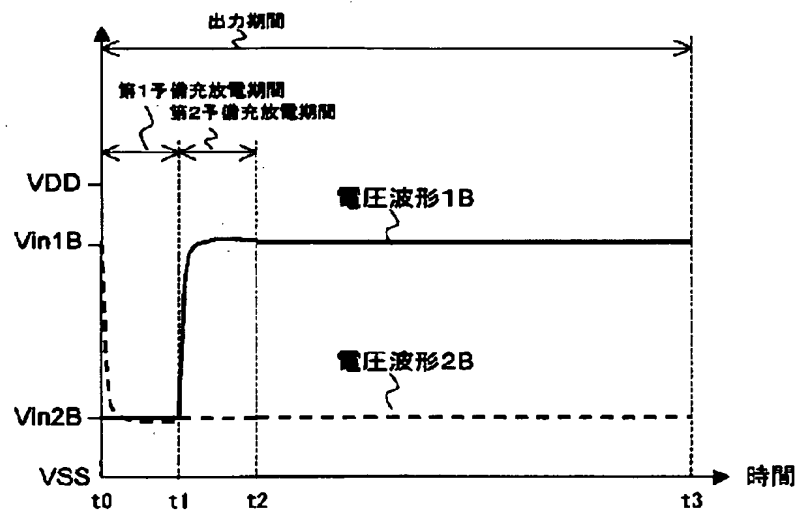
(a)

	$t_0 \sim t_1$	$t_1 \sim t_2$	$t_2 \sim t_3$
スイッチ611, 613	オン	オフ	オフ
スイッチ612, 614	オフ	オン	オフ
スイッチ621, 623	オフ	オン	オフ
スイッチ622, 624	オン	オフ	オフ
スイッチ521, 531, 532	オン	オン	オフ
スイッチ522, 541, 542	オン	オン	オフ
出力回路1、出力回路2	非動作 (動作)	非動作 (動作)	動作

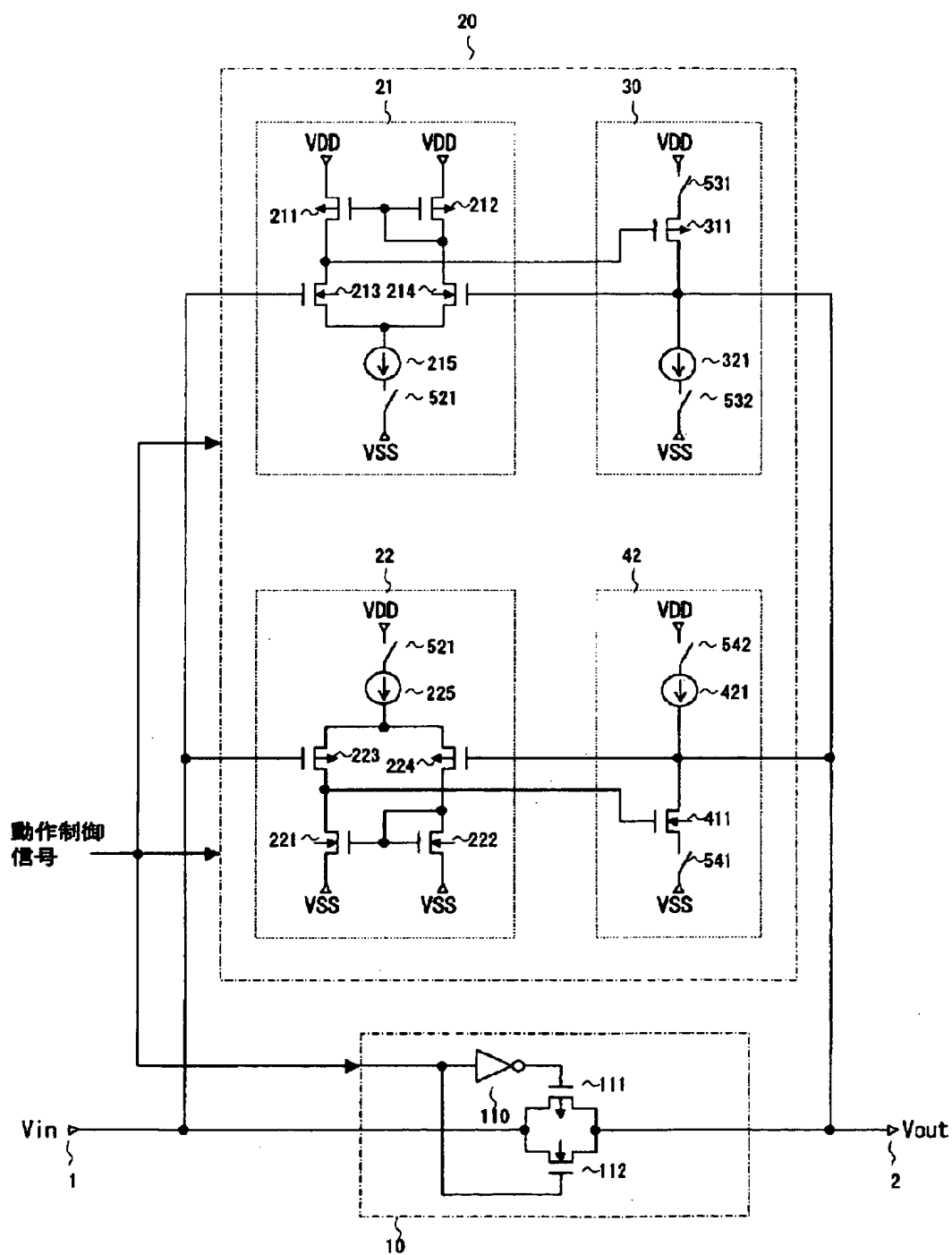
(b)



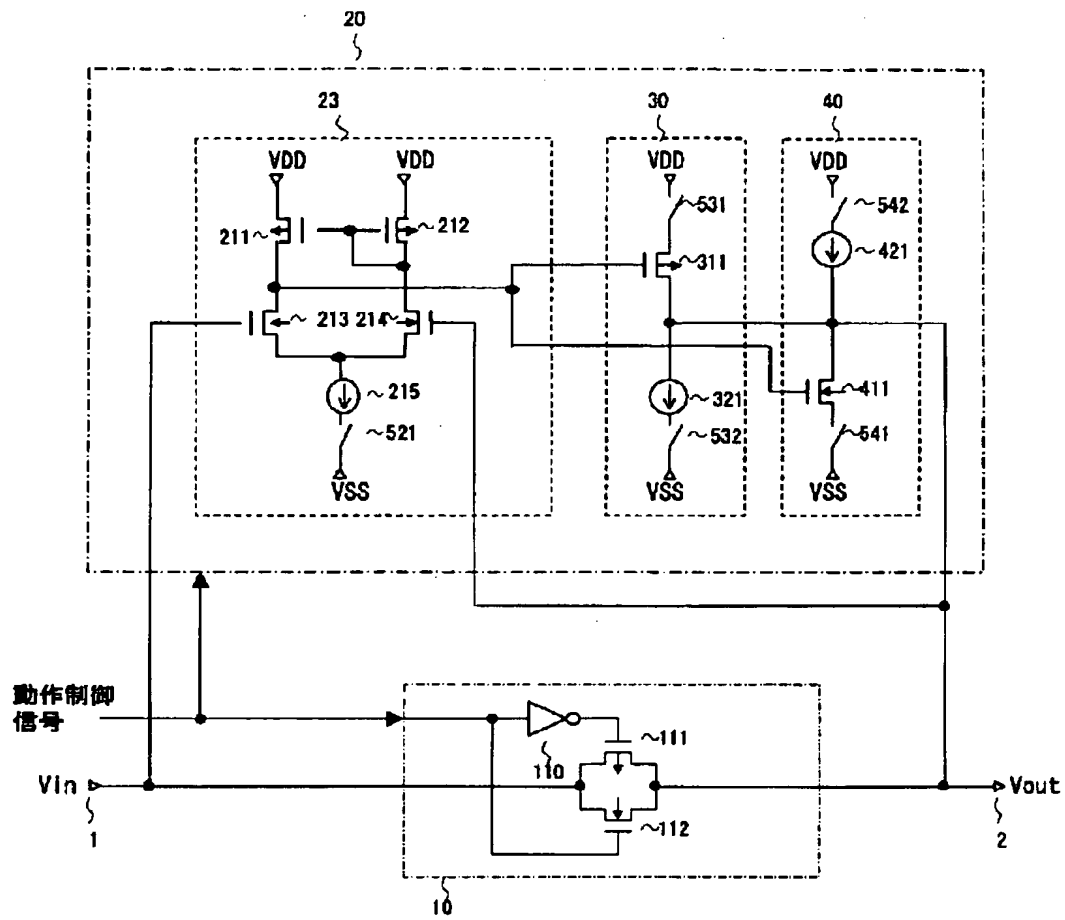
(c)



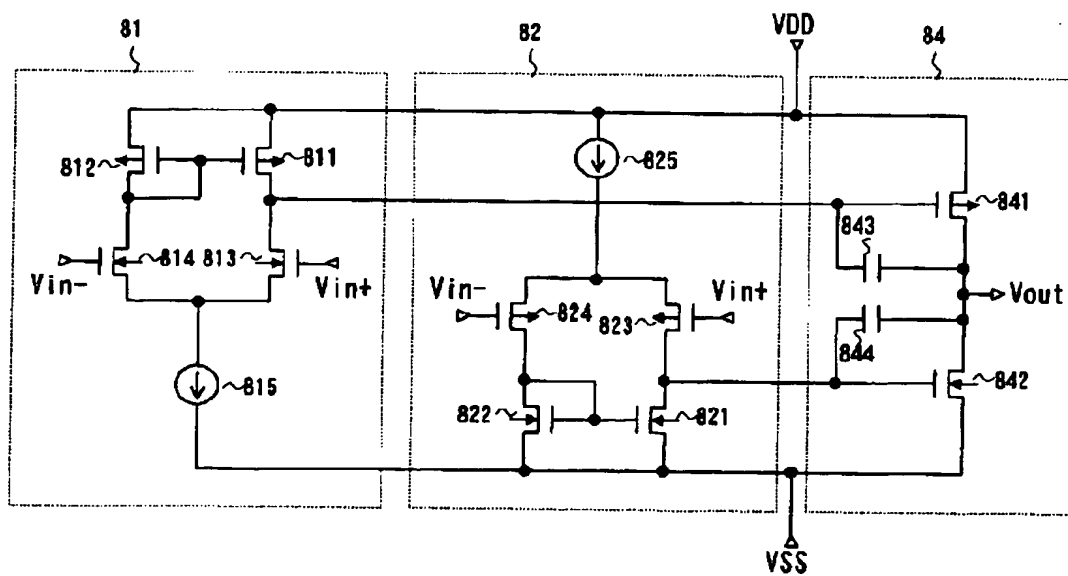
【図 14】



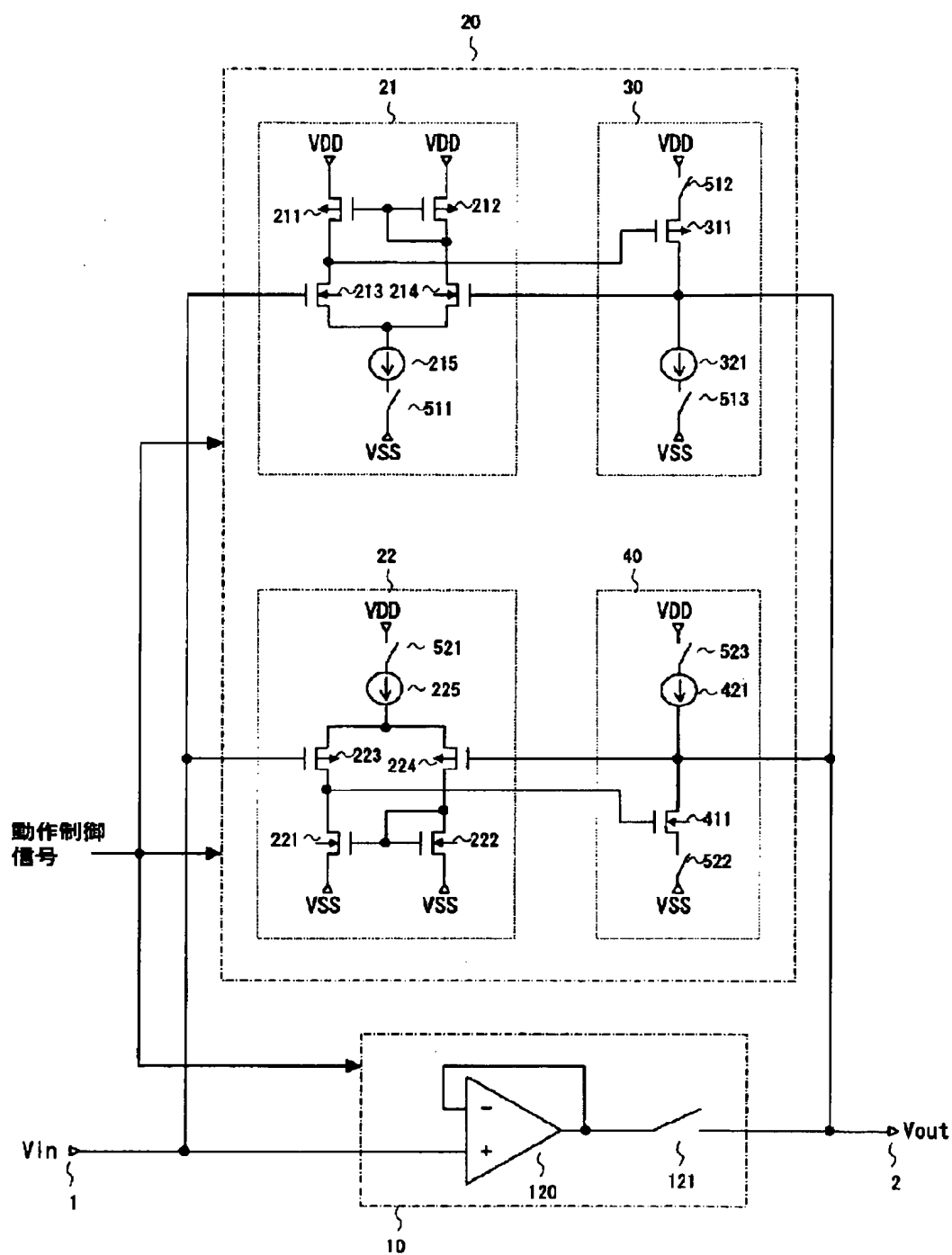
【図 16】



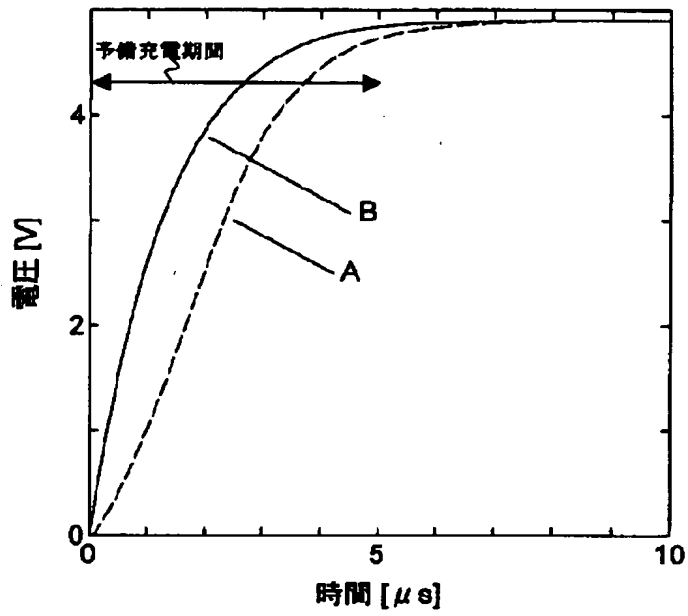
【図 22】



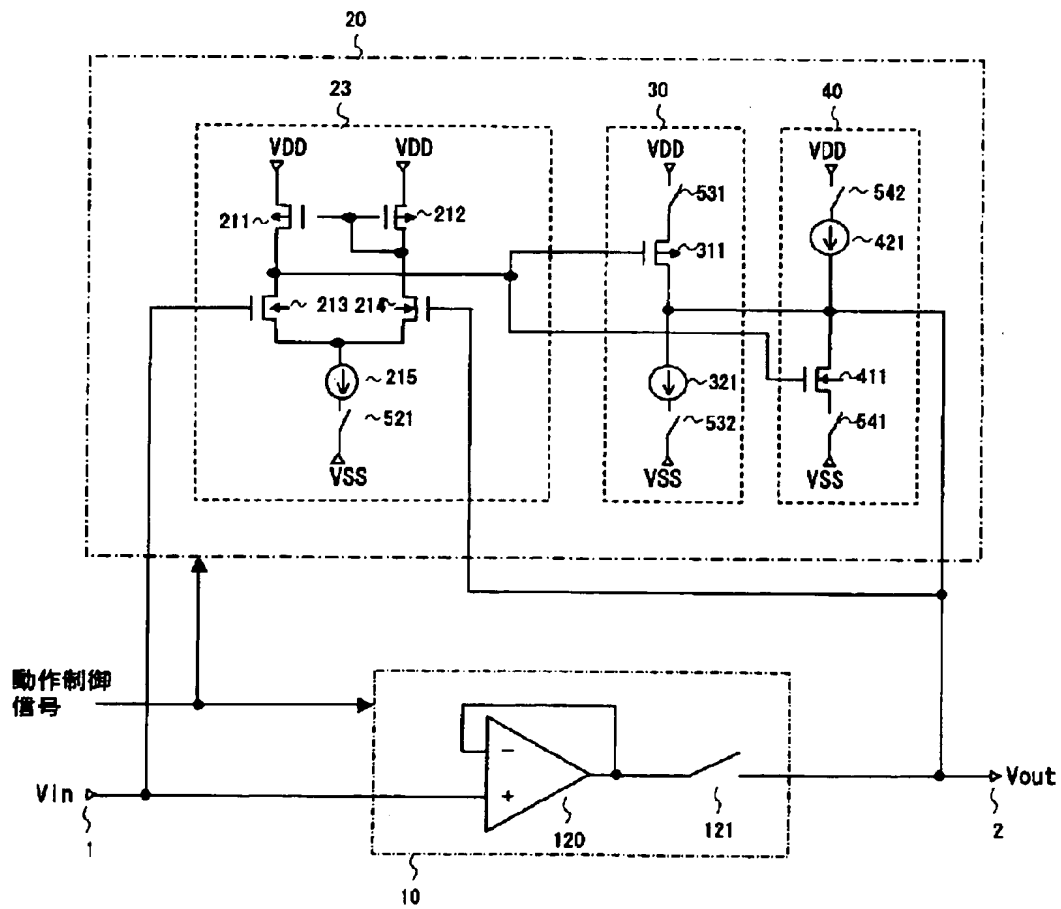
【図 17】



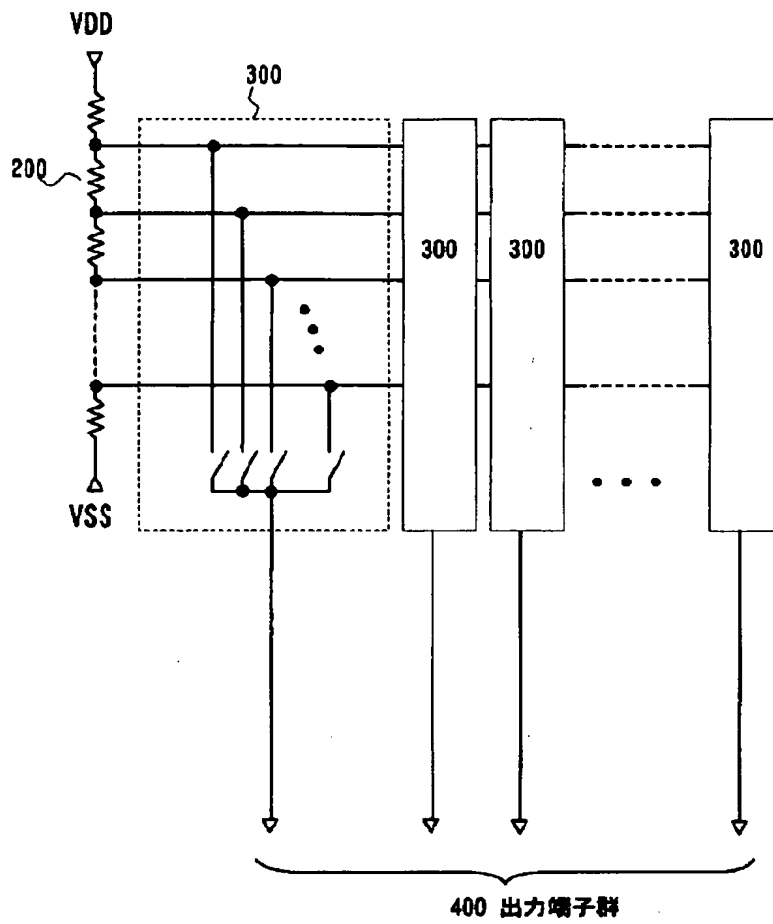
【図 18】



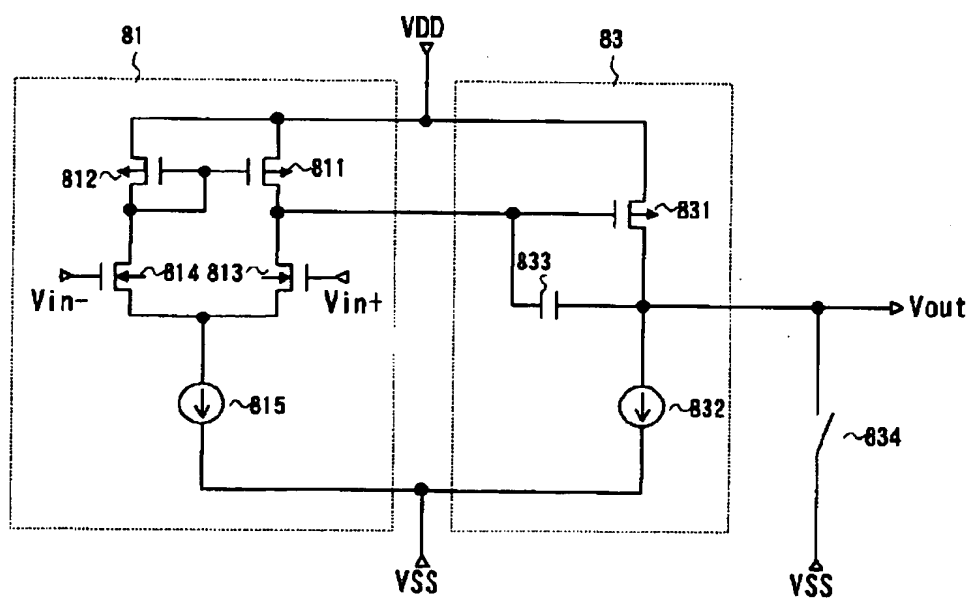
【図 19】



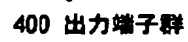
【図 20】



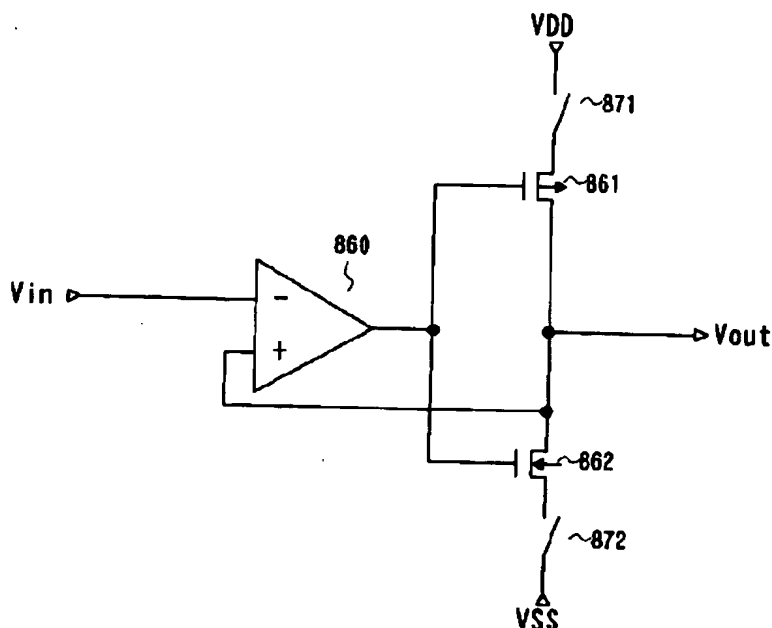
【図 23】



【図 2 1】



【図 24】



【手続補正書】

【提出日】平成13年8月8日（2001. 8. 8）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】これを改善する駆動回路として、例えば特開平10-301539号公報には、図21に示すような構成の駆動回路が提案されている。図21を参照すると、この駆動回路は、図20に示した駆動回路の各出力に、出力回路900を設けたものである。出力回路900は、デコーダ300の出力と出力端子400間に接続されたスイッチ901と、ドレインが高位側電源VDDに接続され、ソースが出力端子400に接続され、ゲートがデコーダ300の出力に接続されたNMOSトランジスタ902と、ソースが出力端子400に接続され、ドレインが低位側電源VSSに接続され、ゲートがデコーダ300の出力に接続されたPMOSトランジスタ903とを備えて構成されている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】また、予備放電を必要とせずに、図23の差動増幅段81と出力増幅段83のような簡単なオペア

ンプを用いても高速駆動が可能で、さらに低消費電力を実現できる駆動回路として、例えば特開平10-197848号公報には、図24に示すような構成が提案されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】また、図24に示した駆動回路の場合は、1データ出力期間にデータ線を駆動するときに充電作用または放電作用のいずれか一方しか行われないので、容量が比較的小さいデータ線の場合には、駆動電圧が所定のレベル電圧から大きくずれてしまう場合がある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】オペアンプ構成の駆動回路の場合には、安定な動作を維持するために位相補償容量を含み、また位相補償容量を十分高速に充放電させるための大きなアイドル電流が必要とされているが、本発明において、予備充放電回路には、位相補償容量のような位相補償手段は設けない。これにより、位相補償容量の充放電が必要なく、アイドル電流を十分小さく抑えることがで

きる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正内容】

【0091】したがって、出力電圧 V_{out} が、所望の電圧より高い電圧のときには、放電手段 41 によって、高速に、電源電圧 V_{SS} 側に引き下げられ、所望の電圧よりも低い電圧のときには、第 2 定電流回路 42 によって緩やかに引き上げられ、所望の電圧付近では安定する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0140

【補正方法】変更

【補正内容】

【0140】次に、本発明の第 2 の実施の形態において、第 2 差動回路 22 と第 2 出力段 40 が動作する場合について説明する。なお、以下では、電圧 V_{in} と電圧 V_{out} が等しいときを初期状態として説明する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0150

【補正方法】変更

【補正内容】

【0150】このように、第 2 差動回路 22 と第 2 出力段 40 は、入力電圧 V_{in} が出力電圧 V_{out} よりも低電圧側に变化した場合に、出力電圧 V_{out} を入力電圧 V_{in} に十分近いレベルまで近づけることができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0153

【補正方法】変更

【補正内容】

【0153】さらに、定電流回路 421、225 を十分小さな電流レベルに抑えることにより消費電力も抑えることができる。なお第 2 差動回路 22 と第 2 出力段 40 は、出力電圧 V_{out} を電圧 V_{in} に十分近いレベルまで速やかに予備放電できればよく、十分小さいレベルの発振（振動）が残っても差し支えない。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0167

【補正方法】変更

【補正内容】

【0167】前記第 1 の実施の形態における予備充放電回路 20 が、2 つの出力段に対してそれぞれ個別の差動回路を備えた構成とされているのに対し、本発明の第 3 の実施の形態においては、予備充放電回路 20 では、2

つの出力段に対して、それぞれに作用を与える差動回路を備えた構成としている。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0181

【補正方法】変更

【補正内容】

【0181】本発明の第 3 の実施の形態は、位相補償手段を設けないことにより、出力電圧 V_{out} の変動に対する帰還応答を速めて出力電圧 V_{out} を速やかに所望の電圧付近まで近づけることができ、さらに過充電または過放電も小さく抑えることができる。また第 1 定電流回路 32 および第 2 定電流回路 42 を十分小さいレベルの電流に設定することにより、発振（振動）を緩やかな変動の小さいレベルに抑えることができる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0213

【補正方法】変更

【補正内容】

【0213】初期状態から電圧 V_{in} が低電圧側に变化した場合、差動回路 23 の出力電圧は上昇する。これにより、第 2 出力段 40 の NMOS トランジスタ 411 のゲート電圧は上昇し、NMOS トランジスタ 411 の放電作用により電圧 V_{out} を引き下げるように作用する。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0251

【補正方法】変更

【補正内容】

【0251】一方、出力回路 10 は、予備充放電期間に電圧 V_{in} (V_{in1} 、 V_{in2}) 付近まで駆動された電圧を、予備充放電期間終了後に高い電圧精度で、電圧 V_{in} (V_{in1} 、 V_{in2}) に駆動するだけでよいことから、高い電流供給能力は必要ない。そのため、出力回路 10 には、低消費電力の駆動回路を用いることができる。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0273

【補正方法】変更

【補正内容】

【0273】一方、出力回路 10 は、予備充放電期間に電圧 V_{in} (V_{in1} 、 V_{in2}) 付近まで駆動された電圧を、予備充放電期間終了後に高い電圧精度で電圧 V_{in} (V_{in1} 、 V_{in2}) に駆動するだけであるため、高い電流供給能力は必要ない。そのため出力回路 10 には低消費電力の駆動回路を用いることができる。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0354

【補正方法】変更

【補正内容】

【0354】出力端子2には、2kΩの抵抗素子を介して20pFの容量素子を接続し、容量素子の他端は、GND電位(0V)に接続した。またデータドライバの抵抗ストリング200には、両端に、高位側電源VDDと低位側電源VSSの2つの電源電圧を供給し、5μAの電流が流れるように設定した。なお、電源電圧VDD、VSSはそれぞれ5V、0Vとした。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0377

【補正方法】変更

【補正内容】

【0377】図17は、図2に示した駆動回路の実施例であり、出力回路10を、オペアンプ120(ボルテージフォロウ)と、オペアンプ120の出力と出力端子2との接続を制御するスイッチ121で構成したものである。図17に示した出力回路10は、図13の出力段100にも適用できる。

フロントページの続き

Fターム(参考) 2H093 NA06 NA80 NC16 NC62 NC90
ND32 NE10
5C006 AB05 AC02 AF61 AF69 BB15
BC16 BF25 BF34 BF43 BF49
EC13 FA12 FA47
5C080 AA10 BB05 DD08 DD26 DD30
FF09 JJ02 JJ03 JJ04 JJ05
KK07